

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 10 月 14 日 (14.10.2004)

PCT

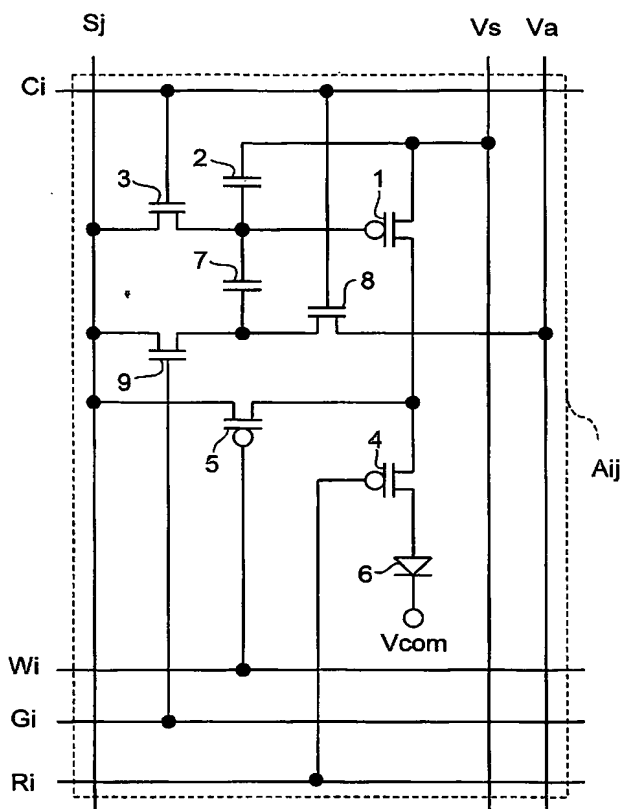
(10) 国際公開番号
WO 2004/088623 A1

- (51) 国際特許分類⁷: G09G 3/30, 3/28, 3/20, H05B 33/14
(21) 国際出願番号: PCT/JP2003/014042
(22) 国際出願日: 2003 年 10 月 31 日 (31.10.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2003-92534 2003 年 3 月 28 日 (28.03.2003) JP
特願2003-204018 2003 年 7 月 30 日 (30.07.2003) JP
特願 2003-366130
2003 年 10 月 27 日 (27.10.2003) JP
(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP];
〒545-8522 大阪府 大阪市 阿倍野区長池町 2-2-2
Osaka (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 沼尾 孝次 (NUMA, Takaji) [JP/JP]; 〒630-8115 奈良県 奈良市 大宮町 2-4-1 5-9 0 7 Nara (JP).
(74) 代理人: 原 謙三, 外 (HARA, Kenzo et al.); 〒530-0041 大阪府 大阪市 北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル 原謙三国際特許事務所 Osaka (JP).
(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: DISPLAY DEVICE AND DRIVE METHOD THEREOF

(54) 発明の名称: 表示装置およびその駆動方法



(57) Abstract: A switching transistor (3) is connected between a gate terminal and a drain terminal of a drive TFT (1). A first capacitor (2) is connected between the gate terminal and a source terminal of the drive TFT (1). The drive TFT (1) has a current control terminal connected to a first terminal of a second capacitor (7). A second terminal of the second capacitor (7) is connected to the drain terminal of the drive TFT (1) via a switching transistor (9) and to a predetermined voltage line Va via a switching transistor (8). This configuration can suppress irregularities of current value flowing in a current drive light emitting element during a non-selection period caused by irregularities of the threshold value voltage/movement degree of the drive TFT in a display device having a current drive light emitting element such as an organic EL display device.

(57) 要約: 駆動用 TFT 1 のゲート端子とドレイン端子との間にスイッチ用トランジスタ 3 を接続し、駆動用 TFT 1 のゲート端子とソース端子との間に第 1 コンデンサ 2 を接続し、駆動用 TFT 1 の電流制御端子に第 2 コンデンサ 7 の第 1 端子を接続し、第 2 コンデンサ 7 の第 2 端子を、駆動用 TFT 1 のドレイン端子との間にスイッチ用トランジスタ 9 を介して接続し、かつ所定電圧線 Va との間にスイッチ用トランジスタ 8 を介して接続する。これにより、有機 EL 表示装置など、電流駆動発光素子を備えた表示装置において、駆動用 TFT の閾値電圧・移動度のばらつきによる、非選択期間の電流駆動発光素子を流れる電流値のばらつきを抑えることができる。



(84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

表示装置およびその駆動方法

技術分野

本発明は、有機 E L (Electro Luminescence) ディスプレイや F E D (Field Emission Display) 等の電流駆動素子を用いた表示装置およびその駆動方法に関する。

背景技術

近年、有機 E L ディスプレイや F E D 等の電流駆動発光素子の研究開発が活発に行われている。特に有機 E L ディスプレイは、低電圧・低消費電力で発光可能なディスプレイとして、携帯電話や P D A (Personal Digital Assistants) などの携帯機器用として注目されている。

この有機 E L ディスプレイ用の電流駆動画素回路構成として、“Active Matrix PolyLED Displays” (M. T. Johnson et al., I D W ’ 0 0 , 2000, p. 235-238) および W O 99/65011 (国際公開日 1 9 9 9 年 1 2 月 1 6 日) に示された回路構成を図 2 2 に示す。

図 2 2 に示す回路構成では、駆動用 T F T (Thin Film Transistor) 1 0 1 のソース端子は電源配線 V s へ接続され、駆動用 T F T 1 0 1 のゲート端子はコンデンサ 1 0 4 を介して電源配線 V s へ接続されている。駆動用 T F T 1 0 1 のドレイン端子と有機 E L 素子 1 0 3 の陽極との間にはスイッチ用 T F T 1 0 2 が配置され、有機 E L 素子 1 0 3 の陰極は共通配線 V c o m に接続されている。

また、駆動用 T F T 1 0 1 とスイッチ用 T F T 1 0 2 との接続点には
選択用 T F T 1 0 6 とスイッチ用 T F T 1 0 5 とが接続されている。選
択用 T F T 1 0 6 のソース端子はソース配線 S j へ接続され、スイッチ
用 T F T 1 0 5 のソース端子は駆動用 T F T 1 0 1 のゲート端子へ接続
5 されている。

この構成では、走査配線 G i に L o w の信号が与えられる場合（選択
期間）、スイッチ用 T F T 1 0 2 が O F F 状態となり、選択用 T F T 1
0 6 とスイッチ用 T F T 素子 1 0 5 とが O N 状態となる。この場合、電
源配線 V s より駆動用 T F T 1 0 1 および選択用 T F T 1 0 6 を介して
10 ソース配線 S j へ電流を流すことができる。このときの電流値をソース
配線 S j に繋がる図示しないソースドライバ回路の電流源で制御すれば、
駆動用 T F T 1 0 1 へそのソースドライバ回路で規定された電流値が流
れるように駆動用 T F T 素子 1 0 1 のゲート電圧が設定される。

また、走査配線 G i に H i g h の信号が与えられる場合（非選択期
15 間）、選択用 T F T 1 0 6 とスイッチ用 T F T 1 0 5 とが O F F 状態と
なり、スイッチ用 T F T 1 0 2 が O N 状態となる。この非選択期間にお
いては、上記選択期間においてソース配線 S j から駆動用 T F T 素子 1
0 1 のゲートに対して設定された電位がコンデンサ 1 0 4 にて保持され
る。このため、非選択期間において、駆動用 T F T 1 0 1 にて設定され
20 た電流値を有機 E L 素子 1 0 3 へ流すことができる。

また、これに類似した電流駆動画素回路構成として、“Polysilicon
TFT Drivers for Light Emitting Polymer Displays” (Simon W-B. Tam
et al., I D W '99, 1999, p.175-178) および WO 98/48403 (国際
公開日 1998 年 10 月 29 日) で示された画素回路構成を図 23 に示

す。

図 2 3 の回路構成では、駆動用 T F T 1 0 8 のソース端子とゲート端子との間にコンデンサ 1 1 1 が配置され、ゲート端子とドレイン端子との間にスイッチ用 T F T 1 1 2 が配置され、そのドレイン端子に有機 E L 素子 1 0 9 の陽極が配置されている。そして、駆動用 T F T 1 0 8 のソース端子と電源配線 V s との間にスイッチ用 T F T 1 0 7 が配置され、ソース配線 S j との間に選択用 T F T 1 1 0 が配置されている。

これら選択用 T F T 1 1 0 およびスイッチ用 T F T 1 0 7, 1 1 2 のゲート端子には各々制御配線 W i, R i, 走査配線 G i が接続されている。

この画素回路構成の動作を、図 2 4 に示すタイミングチャートを用いて以下に説明する。このタイミングチャートは、制御配線 W i, R i, 走査配線 G i およびソース配線 S j の各配線に与えられる信号のタイミングを示している。

図 2 4 では時間 0 ~ 3 t 1 が選択期間を示しており、該選択期間において制御配線 R i の電位は H i g h (G H) となっており、スイッチ用 T F T 1 0 7 を O F F 状態とする。また、同時に制御配線 W i の電位は L o w (G L) となっており、選択用 T F T 1 1 0 を O N 状態とする。これにより、選択期間では、ソース配線 S j から選択用 T F T 1 1 0 および駆動用 T F T 1 0 8 を介して有機 E L 素子 1 0 9 へ電流が流れる状態となる。

この選択期間において、時間 0 ~ 2 t 1 の期間では、走査配線 G i の電位は H i g h となっており、スイッチ用 T F T 1 1 2 を O N 状態とするため、ソース配線 S j に繋がる図示しないソースドライバ回路から有

機 E L 素子 1 0 9 へ電流が流れる。このとき、駆動用 T F T 1 0 8 のゲート電位は、上記ソースドライバ回路で規定された電流値が流れるよう設定される。

そして、時間 $2 t_1 \sim 3 t_1$ の期間では、スイッチ用 T F T 1 1 2 は
5 O F F 状態とされるが、駆動用 T F T 1 0 8 のゲート電位はコンデンサ 1 1 1 によって保持され、この期間においてもソース配線 S_j から有機 E L 素子 1 0 9 へ電流が流れる。

時間 $3 t_1$ 以降（非選択期間）では、スイッチ用 T F T 1 1 0 を O F F 状態とし、スイッチ用 T F T 1 0 7 を O N 状態とする。このため、非
10 選択期間においては、電源配線 V_s より設定された電流値が有機 E L 素子 1 0 9 へ流れるよう制御される。

しかしながら、“Polysilicon TFT Drivers for Light Emitting Polymer Displays” (I D W ' 9 9 , p.175-178) に示される上記画素回路構成では駆動用 T F T 1 0 8 の閾値電圧・移動度のばらつきにより、
15 非選択期間において有機 E L 素子 1 0 9 を流れる電流値がばらつくという問題がある。

この電流値のばらつきの影響がどの程度あるか知るために、図 2 3 における画素回路構成で、駆動用 T F T 1 0 8 の閾値電圧・移動度を以下の表 1 に示す 5 つの条件で振り、有機 E L 素子 1 0 9 を流れる電流値を
20 シミュレーションで求めた。その結果を図 2 5 に示す。

〔表 1〕

	Ioled(1)	Ioled(2)	Ioled(3)	Ioled(4)	Ioled(5)
閾値電圧	平均値	下限	上限	上限	下限
移動度	平均値	下限	上限	下限	上限

図 2 5 におけるシミュレーションでは、0. 2 4 m s 毎に選択期間が来るよう設定し、最初の時間 0. 2 7 m s ~ 0. 5 1 m s の間でソース配線 S j へ電流値 0. 1 μ A が流れるよう設定した。それ以降は、時間 0. 2 4 m s 毎に、ソース配線 S j へ流れる電流値を 0. 1 μ A 刻みで 0. 9 μ A まで増加させ、その後 0 に戻し、再度 0. 1 μ A 刻みで増加させている。

即ち、上記シミュレーションにおける最初の選択期間は、時間 0. 2 7 ~ 0. 3 0 m s の間であり、この選択期間においてソース配線 S j へ流れている電流値 0. 1 μ A により駆動用 T F T 1 0 8 のゲート端子電位が規定され、その期間だけ有機 E L 素子 1 0 9 を流れる電流値が 0. 1 μ A に設定される。尚、この時のゲート電位は、その後の非選択期間 0. 3 1 ~ 0. 5 1 m s においても保持されているが、その非選択期間において有機 E L 素子 1 0 9 を流れる電流値は、0. 1 2 ~ 0. 1 3 μ A 程度のばらつきを持つ。

このシミュレーションにおいて、ソース配線 S j に流した電流値（0 ~ 0. 9 μ A 迄の 1 0 点）を横軸にし、これらの各電流値を与えた後の非選択期間における有機 E L 素子 1 0 9 へ流れる電流値を縦軸として、そのばらつきを示したのが図 2 6 である。図 2 6 において、ソース配線 S j へ 0. 9 μ A の電流を流した後の非選択期間では、有機 E L 素子 1

0.9 を流れる電流値は約 $0.95 \sim 1.12 \mu A$ (+5% ~ +24%) の範囲でばらついている。

このばらつきが起きる原因は、図 27 に示すように選択期間（概ね $270 \sim 300 \mu s$ の間）と非選択期間（それ以外の期間）とにおいて駆動用 T F T 108 のソース・ドレイン間電圧 V_{sd} が変化するためである。なお、図 27 は、上記表 2 において示した駆動用 T F T 108 の 5 つの閾値電圧・移動度条件を用いてシミュレーションした結果を示しており、各電圧値 $V_{sg}(1) \sim V_{sg}(5)$ 、 $V_{sd}(1) \sim V_{sd}(5)$ のそれぞれは、表 2 における $I_{oled}(1) \sim (5)$ の条件と一致する。

すなわち、図 23 の回路構成では、図 27 に示すように、選択期間内における電流書き込み時（図 24 の時間 $0 \sim 2t_1$ の期間、図 27 では概ね時間 $270 \sim 290 \mu s$ の間）はスイッチ用 T F T 112 が ON 状態となるので、駆動用 T F T 108 のソース・ドレイン間電圧 V_{sd} はソース・ゲート間電圧 V_{sg} と一致している。

この時の駆動用 T F T 108 のソース・ゲート間電圧 V_{sg} は、駆動用 T F T 108 の閾値電圧・移動度により決まる。すなわち、閾値が 1 V の場合と 2 V の場合とでは、1 V 程度のばらつきが発生する。実際、上記シミュレーション結果では、ソース配線 S_j に $0.1 \mu A$ の電流を流したとき、ソース・ゲート間電圧 V_{sg} は約 $1.4 V \sim 3.6 V$ の範囲でばらついている。

その後、スイッチ用 T F T 112 を OFF 状態とすると（概ね $290 \mu s$ 以降）、駆動用 T F T 108 のソース・ゲート間電位は保持されるが、ソース・ドレイン間電圧 V_{sd} は変化する。

特に、非選択期間となった後（概ね $300\ \mu\text{s}$ 以降）は、ソース・ドレイン間電圧 V_{sd} は 6 V 程度に変化する。この電圧 V_{sd} は、有機 EL 素子 109 の印加電圧対電流値特性により、該有機 EL 素子 109 に電流値 $0.1\ \mu\text{A}$ を流すのに必要な電圧 V_{oled} により決まる。この
5 シミュレーションでは、電圧 V_{oled} は、

$$V_{oled} = V_s - 6\text{ V}$$

程度の特性としている。また、この有機 EL 素子 109 の印加電圧対電流値特性はダイオード的な特性（印加電圧に対して電流値が指数関数的に増える）なので、有機 EL 素子 109 を流れる電流値が数割程度異な
10 っても、駆動用 TFT 108 のソース・ドレイン間電圧は余りばらつかない。

もし、この駆動用 TFT 108 が理想的な FET であれば、ゲート・ソース間電位 V_{sg} が一定であり、

ソース・ドレイン間電圧 $V_{sd} > \text{ゲート・ソース間電位 } V_{sg}$
15 の条件を満たす場合、ソース・ドレイン間電圧 V_{sd} が変化しても、ソース・ドレイン間を流れる電流値は変化しない。しかし、現実の TFT では、図 28 に示すように、ゲート・ソース間電位 V_{sg} が一定であっても、ソース・ドレイン間電圧 V_{sd} が増えれば、ソース・ドレイン間を流れる電流値も増える。なお、図 28 は、上記表 2 において示した駆
20 動用 TFT 108 の 5 つの閾値電圧・移動度条件を用いてシミュレーションした結果を示しており、各電流値 $I_{tft}(1) \sim I_{tft}(5)$ のそれぞれは、表 2 における $I_{oled}(1) \sim (5)$ の条件と一致する。

上記図 28 に示す結果より、駆動用 TFT 108 の閾値電圧・移動度

により、電流書き込み時のソース・ドレイン間電圧 V_{sd} がばらつけば、非選択期間でのソース・ドレイン間電流がばらつく。その結果、有機 EL 素子 109 を流れる電流値も変化する。

そこで、図 29 に示すように、駆動用 TFT 108 と有機 EL 素子 109 を直列に接続した回路を用い、非選択期間でのソース・ドレイン間電流がばらつきを調べた。この時、駆動用 TFT 108 のゲート端子へ、上記図 27 の電流書き込み時に得られた駆動用 TFT 108 のゲート・ソース間電位 V_{gd} を印加し、さらに電源電圧 $V_s - V_{com}$ を変化させ、有機 EL 素子 109 を流れる電流を上記駆動用 TFT 108 の 5 つの閾値電圧・移動度条件を用いてシミュレーションした。このシミュレーション結果を図 30 に示す。

図 30 では、ソース配線 S_j へ $0.5 \mu A$ の電流を供給したときの駆動用 TFT 108 のゲート・ソース間電位 V_{gd} を用いている。この場合、上記図 27 に示す電流書き込み時のソース配線 S_j の電位が、駆動用 TFT 108 の閾値電圧・移動度条件により変化し、有機 EL 素子 109 へ電流 $0.5 \mu A$ を供給するよう設定されるので、電源配線 V_s の電位が一定 ($16 V$) の条件では、有機 EL 素子 109 を流れる電流値が変化してしまう。

このように、駆動用 TFT の閾値電圧・移動度のばらつきにより電流書き込み時のソース・ドレイン間電圧 V_{sd} がばらつき、結果として非選択時に有機 EL 素子を流れる電流値がばらつく現象は、図 22 に示した画素回路構成でも同様に生じる。このように、従来の画素回路構成では、駆動用 TFT の閾値電圧・移動度のばらつきにより非選択期間に有機 EL 素子を流れる電流がばらつくといった問題がある。

本発明は、上記の問題点を解決するためになされたもので、その目的は、駆動用 T F T の閾値電圧・移動度のばらつきによる、非選択期間の有機 E L 素子を流れる電流値ばらつきを抑えることができる表示装置を提供することにある。

5

発明の開示

本発明の第 1 の表示装置は、以上のように、上記駆動用トランジスタの電流制御端子と電流出力端子との間に接続される第 1 スイッチ用トランジスタと、上記駆動用トランジスタの電流制御端子に接続される第 1
10 コンデンサと、上記駆動用トランジスタの電流制御端子に一方の端子である第 1 端子が接続され、もう一方の端子である第 2 端子は、駆動用トランジスタの電流出力端子との間に第 2 スイッチ用トランジスタを介して接続され、かつ所定電圧線との間に第 3 スイッチ用トランジスタを介して接続されている第 2 コンデンサとを備えている構成である。

15 上記の構成を用いた画素回路構成及びソースドライバ回路構成によれば、前記回路の駆動用トランジスタの出力電流設定期間中において、第 1 スイッチ用トランジスタを O N した状態で駆動用トランジスタへ所定の電流を流すことで、その駆動用トランジスタの閾値電圧・移動度のバラツキに対応した電流制御端子電位（電位 V_x とする）が得られる。こ
20 の電流制御端子電位は第 1 コンデンサに保持される。

またこのとき、第 1 のコンデンサの第 1 端子と第 2 のコンデンサの第 1 端子は接続されており、第 2 コンデンサの第 2 端子は、第 2 スイッチ用トランジスタを O F F、第 3 スイッチ用トランジスタを O N とすることで、所定電圧線（上記所定電流を流す場合に対応した一定電位 V_a と

する) に接続され、該第2コンデンサには、電位 $V_a - V_x$ が保持される。以上を第1の期間とする。

次に、第2スイッチ用トランジスタをON、第3スイッチ用トランジスタをOFFとすることで、第2コンデンサの第2端子を上記駆動用トランジスタの電流出力端子 (TFTのドレイン端子またはソース端子) へ接続する。このとき、初期状態として駆動用トランジスタの電流出力端子電位が V_a のとき、上記駆動用トランジスタの電流制御端子電位 (TFTのゲート端子) が上記電位 V_x となる。

その後、上記駆動用トランジスタへ所望の電流値を流すことで、上記駆動用トランジスタの電流制御端子電位 (TFTのゲート端子) が変化する。このときの電流制御端子電位 (TFTのゲート端子) は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位がほぼ等しい状態で上記駆動用トランジスタの電流制御端子電位 (TFTのゲート端子) が設定される。

また、上記駆動用トランジスタを画素回路に配置する場合、この所定電流を電流駆動発光素子へ印加したとき、電流駆動発光素子で発生する電位ドロップは等しいので、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位がほぼ等しい状態で所定の電流値を出力するよう上記駆動用トランジスタの電流制御端子電位 (TFTのゲート端子) を設定できる。

このときの上記駆動用トランジスタの電流制御端子電位は第1のコンデンサと第2のコンデンサの接続を切り離す場合第1のコンデンサに、切り離さない場合第1および第2のコンデンサに保持される。以上を第

2の期間とする。

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子－電流出力端子間電位は変化するが、その変化後の電位は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子－電流出力端子間を流れる電流値のバラツキを抑えることができる。

本発明の第2の表示装置は、以上のように、上記駆動用トランジスタの電流制御端子と電流入力端子との間に接続される第1スイッチ用トランジスタと、上記駆動用トランジスタの電流制御端子に接続される第1コンデンサと、上記駆動用トランジスタの電流制御端子に一方の端子である第1端子が接続され、もう一方の端子である第2端子は、駆動用トランジスタの電流入力端子との間に第2スイッチ用トランジスタを介して接続され、かつ所定電圧線との間に第3スイッチ用トランジスタを介して接続されている第2コンデンサとを備えている構成である。

上記の構成を用いた画素回路構成及びソースドライバ回路構成によれば、前記回路の駆動用トランジスタの出力電流設定期間中において、第1スイッチ用トランジスタをONした状態で駆動用トランジスタへ所定の電流を流すことで、その駆動用トランジスタの閾値電圧・移動度のバラツキに対応した電流制御端子電位（電位 V_x とする）が得られる。この電流制御端子電位は第1コンデンサに保持される。

またこのとき、第1のコンデンサの第1端子と第2のコンデンサの第1端子とは接続されており、第2コンデンサの第2端子は、第2スイッチ用トランジスタをOFF、第3スイッチ用トランジスタをONとすることで、所定電圧線（上記所定電流を流す場合に対応した一定電位 V_a

とする) に接続され、該第2コンデンサには、電位 $V_a - V_x$ が保持される。以上を第1の期間とする。

次に、第2スイッチ用トランジスタをON、第3スイッチ用トランジスタをOFFとすることで、第2コンデンサの第2端子を上記駆動用トランジスタの電流入力端子 (TFTのドレイン端子またはソース端子) へ接続する。このとき、初期状態として駆動用トランジスタの電流入力端子電位が V_a のとき、上記駆動用トランジスタの電流制御端子電位 (TFTのゲート端子) が上記電位 V_x となる。

その後、上記駆動用トランジスタへ所望の電流値を流すことで、上記駆動用トランジスタの電流制御端子電位 (TFTのゲート端子) が変化する。このときの電流制御端子電位 (TFTのゲート端子) は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位がほぼ等しい状態で上記駆動用トランジスタの電流制御端子電位 (TFTのゲート端子) が設定される。

また、上記駆動用トランジスタを画素回路に配置する場合、この所定電流を電流駆動発光素子へ印加したとき、電流駆動発光素子で発生する電位ドロップは等しいので、上記駆動用トランジスタの電流入力端子ー電流出力端子間電位がほぼ等しい状態で所定の電流値を出力するよう上記駆動用トランジスタの電流制御端子電位 (TFTのゲート端子) を設定できる。

このときの上記駆動用トランジスタの電流制御端子電位は第1のコンデンサと第2のコンデンサの接続を切り離す場合第1のコンデンサに、切り離さない場合第1および第2のコンデンサに保持される。以上を第

2の期間とする。

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子－電流出力端子間電位は変化するが、その変化後の電位は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子－電流出力端子間を
5 流れる電流値のバラツキを抑えることができる。

上記駆動回路構成は上記電流駆動発光素子を直接駆動する画素回路構成としても適用可能であるが、画素回路に配置した駆動用トランジスタの出力電流を設定するソースドライバ回路構成としても有効である。

10 ソースドライバ回路構成として用いる場合、上記表示装置において、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、各ソースドライバ回路毎に備えている構成とすることが有効である。

15 特に上記ソースドライバ回路構成として用いる場合、画素回路に配置した電流駆動発光素子の供給電流を制御するために別のトランジスタを備えることが好ましい。そして、その画素回路のトランジスタの出力電流を上記ソースドライバ回路を構成する駆動用トランジスタを用いて設定する。

20 また画素回路構成として用いる場合でも、上記表示装置においては、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、各画素回路毎に備えている構成とすることができる。

特に上記の画素回路構成によれば、上記第1コンデンサ、第2コンデ

ンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、すべて画素回路側に備えることで、該画素回路を駆動するソースドライバ回路は、従来と同構成のものを使用できる。

5 また、第1のコンデンサと第2のコンデンサの間に発生する浮遊容量が小さくできるので、駆動用トランジスタの電流書き込み時間を短くできる。

10 また、上記表示装置においては、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成は、一部が画素回路側、他の一部がソースドライバ回路を含む画素回路の外側に配置される構成とすることができる。

15 上記の構成によれば、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成の一部をソースドライバ回路を含む画素回路の外側に配置することで、これらすべてを画素回路側に配置する場合と比べ、画素回路あたりに必要なコンデンサ及びトランジスタの数の増加を抑制できる。このため、ボトムエミッション構成（TFT素子を形成した透明基板側に光を放出する構成）において従来に比べて電流
20 駆動発光素子の単位面積当たりの発光輝度を向上させる必要がなく、その輝度半減寿命の低下を回避できる。また、トップエミッション構成（TFT素子を形成した透明基板とは反対側に光を放出する構成）において画素に配置する素子数が増えないので、従来技術と同様なサイズまで画素サイズを小さくできる。

また、上記表示装置においては、画素回路側に、電流駆動発光素子、駆動用トランジスタ、および第1コンデンサを配置し、ソースドライバを含む画素回路の外側に、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、上記駆動用トランジスタの電流制御端子と、第2コンデンサの第1端子とを接続する接続配線を備えている構成とすることができる。

上記の構成によれば、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成の一部をソースドライバ回路を含む画素回路の外側に配置した表示装置の具体的構成を提供することができる。

ただし、上記駆動用トランジスタの電流制御端子と第2コンデンサの第1端子とを接続する接続配線には浮遊容量が載りやすい。そして、画素に配置したコンデンサと接続配線の浮遊容量が合わさって第1のコンデンサの容量となる。

このため、第2コンデンサの容量が小さいときは、第2端子電位を大きく変化させる必要がある。しかし、第2コンデンサの第2端子電位が大きく変化させることは、駆動用トランジスタのソース・ドレイン間電位が大きくばらつくことを意味するので好ましくなく、第2コンデンサの容量を大きくする必要がある。この場合、駆動用トランジスタの電流書き込み時間が長くなる。

そこで、多少画素面積が狭くなり、従来に比べて電流駆動発光素子の単位面積当たりの発光輝度を向上させる必要がある等の問題があるが、上記第2コンデンサと第1スイッチング用トランジスタからなる回路を

16

画素の直ぐ近くに配置して、複数の画素で共有する構成が考えられる。

例えば2つの画素あたりに1つ上記第2コンデンサと第1スイッチング用トランジスタからなる構成を配置すれば、上記駆動用トランジスタの電流制御端子と、第2コンデンサの第1端子とを接続する接続配線が
5 短くできる。

その結果、上記接続配線の浮遊容量を抑えられるので、第2コンデンサの容量を小さくしても駆動用トランジスタのソース・ドレイン間電位が大きくばらつかないので、駆動用トランジスタの電流書き込み時間を短くすることが可能となる。

10 また、上記表示装置においては、画素回路側に、電流駆動発光素子、駆動用トランジスタ、第1スイッチ用トランジスタ、第1コンデンサおよび第2コンデンサを配置し、ソースドライバを含む画素回路の外側に、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、上記駆動用トランジスタの電流出力端子と、第2コン
15 デンサの第2端子とを接続する接続配線を備えている構成とすることができる。

上記の構成でも、上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成の一部をソースドライバ回路を含む画素回路の外側に配置した表示装置の具体的構成を提供することができる。
20

また、上記表示装置においては、さらに、OFF電位を供給するOFF電位線を備えており、上記接続配線が、第4スイッチング用トランジスタを介してOFF電位線に接続されている構成とすることができる。

上記の構成によれば、暗状態となる画素に対しては、上記駆動用トラ

ンジスタを十分にOFF状態とするOFF電位を、上記OFF電位線から第4スイッチング用トランジスタおよび上記接続配線またはソース配線を通して駆動用トランジスタの電流制御端子に供給できるので、暗状態の輝度を充分低くし、表示装置のコントラストを向上できる。

5 また、本発明の第1の駆動方法は、以上のように、上記駆動用トランジスタの電流制御端子に第1コンデンサの一方の端子である第1端子が接続されており、上記駆動用トランジスタの電流書き込み期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、第1の期間において、第2コンデンサの他方端子である第2端子を所定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流出力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサおよび第2コンデンサに保持し、第2の期間において、上記駆動用トランジスタの電流制御端子と電流出力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記所定電圧線との接続から上記駆動用トランジスタの電流出力端子との接続に切り替え、上記駆動用トランジスタの電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサに保持し、上記駆動用トランジスタの電流読みだし期間では、上記第1コンデンサに保持された駆動用トランジスタの電流制御端子電位によって、上記駆動用トランジスタの出力電流を制御する構成である。

上記の駆動方法によれば、画素回路及びソースドライバ回路の駆動用トランジスタの電流書き込み期間中の第1の期間において、駆動用トランジスタへ所定の電流を流すことで、その駆動用トランジスタの閾値電圧・移動度のバラツキに対応した電流制御端子電位（電位 V_x とする）

が得られる。この電流制御端子電位は第1コンデンサおよび第2コンデンサに保持される。またこのとき、第1のコンデンサの第1端子と第2のコンデンサの第1端子は接続されており、第2コンデンサの第2端子は所定電圧線（上記所定電流を流す場合に対応した一定電位 V_a とする）に接続され、該第2コンデンサには、電位 $V_a - V_x$ が保持される。

次に、第2の期間において、第2コンデンサの第2端子を上記駆動用トランジスタの電流出力端子（TFTのドレイン端子またはソース端子）へ接続する。このとき、駆動用トランジスタの電流出力端子電位が V_a のとき、上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が上記電位 V_x となる。

その後、上記駆動用トランジスタへ所望の電流値を流すことで、上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が変化する。このときの電流制御端子電位（TFTのゲート端子）は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用トランジスタの電流入力端子－電流出力端子間電位がほぼ等しい状態で上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が設定される。また、この所定電流を電流駆動発光素子へ印加したとき、電流駆動発光素子で発生する電位ドロップは等しいので、上記駆動用トランジスタの電流入力端子－電流出力端子間電位がほぼ等しい状態で所定の電流値を出力するよう上記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）を設定できる。

このときの上記駆動用トランジスタの電流制御端子電位は第1のコンデンサと第2のコンデンサの接続を切り離す場合第1のコンデンサに、切り離さない場合第1および第2のコンデンサに保持される。

その後、上記駆動用トランジスタの電流読み出し期間において、上記
駆動用トランジスタの電流入力端子－電流出力端子間電位は変化するが、
その変化後の電位は上記駆動用トランジスタの閾値電圧・移動度のバラ
ツキに依らず一定なので、上記駆動用トランジスタの電流入力端子－電
流出力端子間を流れる電流値のバラツキを抑えることができる。

また、本発明の第2の駆動方法は、以上のように、上記駆動用トラン
ジスタの電流制御端子に第1コンデンサの一方の端子である第1端子が
接続されており、上記駆動用トランジスタの電流書き込み期間では、第
1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1
端子が接続され、第1の期間において、第2コンデンサの他方端子であ
る第2端子を所定電圧線に接続し、上記駆動用トランジスタの電流制御
端子と電流入力端子とを接続し、この時の上記駆動用トランジスタの電
流制御端子電位を第1のコンデンサおよび第2コンデンサに保持し、第
2の期間において、上記駆動用トランジスタの電流制御端子と電流入力
端子との接続を遮断し、第2コンデンサの第2端子の接続を上記所定電
圧線との接続から上記駆動用トランジスタの電流入力端子との接続に切
り替え、上記駆動用トランジスタの電流制御端子電位を修正し、この時
の上記駆動用トランジスタの電流制御端子電位を第1コンデンサに保持
し、上記駆動用トランジスタの電流読み出し期間では、上記第1コンデ
ンサに保持された駆動用トランジスタの電流制御端子電位によって、上
記駆動用トランジスタの出力電流を制御する構成である。

上記の駆動方法によれば、画素回路及びソースドライバ回路の駆動用
トランジスタの電流書き込み期間中の第1の期間において、駆動用トラ
ンジスタへ所定の電流を流すことで、その駆動用トランジスタの閾値電

圧・移動度のバラツキに対応した電流制御端子電位（電位 V_x とする）
が得られる。この電流制御端子電位は第1コンデンサおよび第2コンデ
ンサに保持される。またこのとき、第1のコンデンサの第1端子と第2
のコンデンサの第1端子は接続されており、第2コンデンサの第2端子
5 は所定電圧線（上記所定電流を流す場合に対応した一定電位 V_a とす
る）に接続され、該第2コンデンサには、電位 $V_a - V_x$ が保持される。

次に、第2の期間において、第2コンデンサの第2端子を上記駆動用
トランジスタの電流入力端子（TFTのドレイン端子またはソース端
子）へ接続する。このとき、駆動用トランジスタの電流入出力端子電位
10 が V_a のとき、上記駆動用トランジスタの電流制御端子電位（TFTの
ゲート端子）が上記電位 V_x となる。

その後、上記駆動用トランジスタへ所望の電流値を流すことで、上記
駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が変化
する。このときの電流制御端子電位（TFTのゲート端子）は上記駆動
15 用トランジスタの閾値電圧・移動度のバラツキに依らず、上記駆動用ト
ランジスタの電流入力端子－電流出力端子間電位がほぼ等しい状態で上
記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）が設
定される。

また、上記駆動用トランジスタを画素回路に配置する場合、この所定
20 電流を電流駆動発光素子へ印加したとき、電流駆動発光素子で発生する
電位ドロップは等しいので、上記駆動用トランジスタの電流入力端子－
電流出力端子間電位がほぼ等しい状態で所定の電流値を出力するよう上
記駆動用トランジスタの電流制御端子電位（TFTのゲート端子）を設
定できる。

このときの上記駆動用トランジスタの電流制御端子電位は第1のコンデンサと第2のコンデンサの接続を切り離す場合第1のコンデンサに、切り離さない場合第1および第2のコンデンサに保持される。

その後、上記画素回路の非選択期間において、上記駆動用トランジスタの電流入力端子－電流出力端子間電位は変化するが、その変化後の電位は上記駆動用トランジスタの閾値電圧・移動度のバラツキに依らず一定なので、上記駆動用トランジスタの電流入力端子－電流出力端子間を流れる電流値のバラツキを抑えることができる。

このように本発明の第1と第2の駆動方法は、画素回路を構成する駆動用トランジスタの電流書き込み時と読み出し時の電流値の違いを小さくすることに役立つ。また、ソースドライバ回路を構成する駆動用トランジスタの電流書き込み時と読み出し時の電流値の違いを小さくすることにも役立つ。

後者の場合、マトリックス状にトランジスタ（上記駆動用トランジスタとは別の、各画素回路に電流駆動発光素子に供給電流を制御するトランジスタ）と電流駆動発光素子を配置し、前記トランジスタの出力電流値を上記駆動用トランジスタの電流にて書き込むこととで、前記電流駆動発光素子の表示を均一にできる。

更に、本発明の第1と第2の駆動方法では、第2の期間において、第2コンデンサの第2端子電位が上記 V_a のとき、電流制御端子電位（ TFT のゲート端子）が上記電位 V_x となるため、予め第2の期間で第2コンデンサの第2端子を上記所定電圧線に接続したままとし、その後、第2コンデンサの第2端子を上記所定電圧線との接続を切り離すことが好ましい。このことにより、第2の期間に第2コンデンサの第2端子が

最終電位となるまでの時間を短くでき、より多くのゲート配線を駆動でき、より多くの画素を表示できる。

即ち、その最終電位は上記所定電圧線の電位 V_a に近い電位となるため、予め第2コンデンサの第2端子電位を電位 V_a としておいた方が、
5 最終電位となるまでの時間を短くできる。

このような本発明の駆動方法の好ましき駆動例は、第1の駆動方法への適用時においては、上記駆動用トランジスタの電流制御端子と電流出力端子との接続を遮断した後、第2コンデンサの第2端子を上記所定電圧配線と接続したまま上記駆動用トランジスタの電流出力端子と接続し、
10 その電位を所定電圧配線の電位 V_a としてから、第2コンデンサの第2端子の接続を上記所定電圧線から切り離す駆動方法となる。

また、第2の駆動方法への適用時においては、上記駆動用トランジスタの電流制御端子と電流入力端子との接続を遮断した後、第2コンデンサの第2端子を上記所定電圧配線と接続したまま上記駆動用トランジスタの電流入力端子と接続し、その電位を所定電圧配線の電位 V_a として
15 から、第2コンデンサの第2端子の接続を上記所定電圧線から切り離す駆動方法となる。

本発明のさらに他の目的、特徴、および優れた点は、以下に示す記載によって十分わかるであろう。また、本発明の利益は、添付図面を参照
20 した次の説明で明白になるであろう。

図面の簡単な説明

図1は、本発明の一実施形態を示すものであり、実施の形態1に係る表示装置における画素回路の構成を示す回路図である。

図 2 は、上記画素回路の制御配線における動作タイミングを示す波形図である。

図 3 は、上記画素回路において、駆動用 T F T のソースゲート間電位およびソースドレイン間電位の変化に関するシミュレーション結果を示すグラフである。

図 4 は、上記画素回路において、有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

図 5 は、上記画素回路において、有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

図 6 は、実施の形態 1 に係る表示装置における画素回路の図 1 とは別の構成を示す回路図である。

図 7 は、実施の形態 2 に係る表示装置の構成を示す回路図である。

図 8 は、実施の形態 2 に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

図 9 は、上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

図 10 は、上記画素回路において、有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

図 11 は、実施の形態 3 に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

図 12 は、上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

図 13 は、上記画素回路において、有機 E L 素子を流れる電流値のシミュレーション結果を示すグラフである。

図14は、実施の形態4に係る表示装置におけるソースドライバ回路の構成を示す回路図である。

図15は、上記ソースドライバ回路の制御配線における動作タイミングを示す波形図である。

5 図16は、上記ソースドライバ回路において、駆動用TFTのソースーゲート間電位およびソースードレイン間電位の変化に関するシミュレーション結果を示すグラフである。

10 図17は、上記ソースドライバ回路において、駆動用TFTのソースードレイン間を流れる電流値のシミュレーション結果を示すグラフである。

図18は、図14に示すソースドライバ回路と図1に示す画素回路を組み合わせた場合の表示装置において、各制御配線における動作タイミングを示す波形図である。

15 図19は、図14に示すソースドライバ回路と図1に示す画素回路を組み合わせた回路構成において、ソースドライバ回路の駆動用TFTのソースーゲート間電位およびソースードレイン間電位の変化に関するシミュレーション結果を示すグラフである。

20 図20は、図14に示すソースドライバ回路と図1に示す画素回路を組み合わせた回路構成において、画素回路の有機EL素子を流れる電流値のシミュレーション結果を示すグラフである。

図21は、実施の形態4に係る表示装置におけるソースドライバ回路の図14とは別の構成を示す回路図である。

図22は、従来の表示装置における画素回路の構成例を示す回路図である。

図23は、従来の表示装置における画素回路の他の構成例を示す回路図である。

図24は、上記従来の画素回路の制御配線における動作タイミングを示す波形図である。

5 図25は、上記従来の画素回路において、有機EL素子を流れる電流値のシミュレーション結果を示すグラフである。

図26は、上記従来の画素回路において、有機EL素子を流れる電流値のシミュレーション結果を示すグラフである。

10 図27は、上記従来の画素回路において、駆動用TFTのソース・ゲート間電位およびソース・ドレイン間電位の変化に関するシミュレーション結果を示すグラフである。

図28は、駆動用TFTにおいて、ソース・ドレイン間電圧 V_{sd} と、ソース・ドレイン間を流れる電流値の関係をj示すグラフである。

15 図29は、駆動用TFTと有機EL素子を直列に接続した回路構成を示す回路図である。

図30は、図29の回路を用い、非選択期間での駆動用TFTのソース・ドレイン間電流のばらつきを、シミュレーションにて調べた場合の結果を示すグラフである。

20 図31は、実施の形態5に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

図32は、上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

図33は、上記画素回路及びソースドライバ回路において、駆動用TFTのソース・ドレイン間を流れる電流値のシミュレーション結果を示

すグラフである。

図34は、実施の形態6に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

図35は、上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

図36は、上記画素回路及びソースドライバ回路において、駆動用TFTのソースドレイン間を流れる電流値のシミュレーション結果を示すグラフである。

図37は、実施の形態6に係る表示装置の別の画素回路及びソースドライバ回路の構成を示す回路図である

図38は、実施の形態7に係る表示装置における画素回路及びソースドライバ回路の構成を示す回路図である。

図39は、上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

図40は、図8の画素回路及びソースドライバ回路において、駆動用TFTのソースドレイン間電位およびソースドレイン間で電流の変化に関するシミュレーション結果を示すグラフである。

図41は、実施の形態8に係る表示装置における画素回路及びソースドライバ回路及びその他の回路の構成を示す回路図である。

図42は、上記画素回路及びソースドライバ回路の制御配線における動作タイミングを示す波形図である。

図43は、図41の画素回路及びソースドライバ回路において、駆動用TFTのソースドレイン間電位およびソースドレイン間で電流の変化に関するシミュレーション結果を示すグラフである。

図44は、実施の形態9に係る表示装置における画素回路及びソースドライバ回路及びその他の回路の構成を示す回路図である。

図45は、上記画素回路及びソースドライバ回路及びその他の回路の制御配線における動作タイミングを示す波形図である。

5

発明を実施するための最良の形態

本発明の実施の形態について図1ないし図21、および図31ないし図45に基づいて説明すれば、以下の通りである。なお、本発明はこれに限定されるものではない。

10 本発明に用いられるスイッチング素子は低温ポリシリコンTFTやCG (Continuous Grain) シリコンTFTなどで構成できるが、本実施の形態ではCGシリコンTFTを用いることとする。

ここで、CGシリコンTFTの構成は、例えば“4.0-in. TFT-OLED Displays and a Novel Digital Driving Method” (SID'00 Digest、
15 pp.924-927、半導体エネルギー研究所) に発表されており、CGシリコンTFTの製造プロセスは、例えば“Continuous Grain Silicon Technology and Its Applications for Active Matrix Display” (AM-LCD 2000、pp.25-28、半導体エネルギー研究所) に発表されている。
すなわち、CGシリコンTFTの構成およびその製造プロセスは何れも
20 公知であるため、ここではその詳細な説明は省略する。

また、本実施の形態で用いる電気光学素子である有機EL素子についても、その構成は、例えば“Polymer Light-Emitting Diodes for use in Flat panel Display” (AM-LCD '01、pp.211-214、半導体エネルギー研究所) に発表されており公知であるため、ここではその詳細な説明

は省略する。

〔実施の形態 1〕

本実施の形態 1 では、本発明に係る第 1 の特徴的構成を画素回路において適用した場合について説明する。

5 本実施の形態 1 に係る表示装置は、図 1 に示すように、その各画素回路 A_{ij} において、電源配線 V_s と共通配線 V_{com} との間に駆動用トランジスタである駆動用 T F T 1 と電気光学素子である有機 E L 素子（電流駆動発光素子）6 とを直列に配置している。駆動用 T F T 1 は、有機 E L 素子 6 への供給電流を制御する。

10 駆動用 T F T 1 のゲート端子（電流制御端子）は、第 1 のスイッチ用トランジスタであるスイッチ用 T F T 3 を介してソース配線 S_j と接続されている。駆動用 T F T 1 のゲート端子（電流制御端子）には、第 1 コンデンサ 2 および第 2 コンデンサ 7 の一方の端子が接続されている。第 1 コンデンサ 2 のもう一方の端子は、駆動用 T F T 1 のソース端子
15 （電流入力端子）および電源配線 V_s へ接続されている。第 2 コンデンサ 7 のもう一方の端子は、第 3 のスイッチ用トランジスタであるスイッチ用 T F T 8 を介して所定電圧線 V_a に接続され、第 2 のスイッチ用トランジスタであるスイッチ用 T F T 9 を介してソース配線 S_j に接続されている。尚、以下の説明では、第 1 コンデンサ 2 および第 2 コンデン
20 サ 7 において、駆動用 T F T 1 のゲートと接続される側の端子を第 1 端子、第 1 端子と反対側の端子を第 2 端子とする。

 スイッチ用 T F T 3 およびスイッチ用 T F T 8 のゲート端子は制御配線 C_i に接続されており、スイッチ用 T F T 9 のゲート端子は制御配線 G_i に接続されている。

駆動用 T F T 1 のドレイン端子（電流出力端子）と有機 E L 素子 6 の陽極との間にはスイッチ用 T F T 4 が配置されており、該スイッチ用 T F T 4 のゲート端子は制御配線 R i に接続されている。駆動用 T F T 1 とスイッチ用 T F T 4 との間の接続点は、スイッチ用 T F T 5 を介して

5 ソース配線 S j と接続されており、該スイッチ用 T F T 5 のゲート端子は制御配線 W i に接続されている。

これら制御配線 C i , G i , W i のうち何れを第 2 の配線（ゲート配線）としても良いし、これらスイッチ用 T F T 3 , 9 , 5 のうち何れを選択用 T F T としても良い。尚、本実施の形態では制御配線 G i をゲート配線 G i と表記することがある。

10

この回路構成では、駆動用 T F T 1 のゲート端子は、スイッチ用 T F T 3、ソース配線 S j およびスイッチ用 T F T 5 を介して駆動用 T F T 1 のドレイン端子へ接続される。また、第 2 コンデンサ 7 の第 2 端子は、スイッチ用 T F T 9、ソース配線 S j およびスイッチ用 T F T 5 を介して駆動用 T F T 1 のドレイン端子へ接続される。

15

上記のように本発明の手段では、第 1 のスイッチ用 T F T であるスイッチ用 T F T 3 は直接駆動用 T F T の電流制御端子と電流出力端子間を接続する場合だけでなく、ソース配線 S j、スイッチ用 T F T 5 を通して間接的に接続する場合も含む。

また、第 2 のスイッチ用 T F T であるスイッチ用 T F T 9 も直接第 2 のコンデンサの第 2 端子と駆動用 T F T の電流出力端子間を接続する場合だけでなく、上記のようにソース配線 S j、スイッチ用 T F T 5 を通して間接的に接続する場合も含む。

20

上記表示装置の画素回路 A i j における動作を、制御配線 R i , W i ,

C_i, G_iおよびソース配線S_jの動作タイミングを示す図2を参照して以下に説明する。

本実施の形態1に係る駆動方法（本発明の第1の駆動方法）では、選択期間（すなわち、駆動用トランジスタの電流書き込み期間）である時間0～5 t₁の間に、制御配線R_iの電位をH i g h（G H）としてスイッチ用T F T 4をO F F状態とし、制御配線W_iの電位をL o w（G L）としてスイッチ用T F T 5をO N状態とする。

そして、第1の期間（時間t₁～2 t₁）において、制御配線C_iの電位をH i g hとして、スイッチ用T F T 3・8をO N状態とする。この結果、駆動用T F T 1のゲート端子（電流制御端子）とドレイン端子（電流出力端子）とはスイッチ用T F T 3・5を通じて接続される。また、第2コンデンサ7における第2端子は、スイッチ用T F T 8を通じて所定電圧線V_aへ接続される。そしてこのとき、電源配線V_sから駆動用T F T 1、スイッチ用T F T 5、ソース配線S_jを通じて、図示しないソースドライバ回路へ向けて一定電流が流される。

なお、上記第1の期間は時間0から始めても構わないので、図2ではそのことを破線を用いて示す。

その後（時間2 t₁以降）、制御配線C_iの電位をL o wとしてスイッチ用T F T 3・8をO F F状態とする。これはスイッチT F T 3とスイッチT F T 9が同時にO N状態とならないようにするためであり、実際に必要な期間はt₁より短い。このとき、上記第1の期間で設定されたソース配線S_jの電位は、第1コンデンサ2および第2コンデンサ7を用いて保持される。

次に、第2の期間（時間3 t₁～4 t₁）において、制御配線G_iの

電位を H_{igh} として、スイッチ用 TFT_9 を ON 状態とする。この結果、第2コンデンサ7の第2端子は、駆動用 TFT_1 のドレイン端子とスイッチ用 $TFT_9 \cdot 5$ を通じて接続される。そしてこのとき、電源配線 V_s から駆動用 TFT_1 、スイッチ用 TFT_5 、ソース配線 S_j を通じて図示しないソースドライバ回路へ所望の電流が流れる。

上記第2の期間で設定された駆動用 TFT_1 のソース・ゲート間電位は、その後（時間 $4t_1$ 以降）、制御配線 G_i の電位を L_{ow} としスイッチ用 TFT_9 を OFF 状態とすることで、第1コンデンサ2および第2コンデンサ7に保持される。なお、この後制御配線 R_i が L_{ow} となり、制御配線 W_i が H_{igh} となるまでの時間 $4t_1 \sim 5t_1$ は、スイッチ用 TFT_9 が確実に OFF 状態となってから、選択期間を終えるためであり、そのために必要な時間は t_1 より短くて良い。

以上でこの画素回路 A_{ij} の選択期間が終わり、次の画素回路 $A_{(i+1)j}$ の選択期間になるが、上記画素回路 A_{ij} における駆動用 TFT_1 のソース・ゲート間電位 V_{sg} 、ソース・ドレイン間電位 V_{sd} の変化をシミュレーションした結果を図3に示す。尚、図3において示しているソース・ドレイン間電位 $V_{sd}(1) \sim V_{sd}(5)$ 、およびソース・ゲート間電位 $V_{sg}(1) \sim V_{sg}(5)$ のそれぞれは、駆動用 TFT_1 の閾値電圧・移動度の特性が以下の表2に示す条件に相当する。

〔表 2〕

	Ioled(1)	Ioled(2)	Ioled(3)	Ioled(4)	Ioled(5)
	Vsg(1)	Vsg(2)	Vsg(3)	Vsg(4)	Vsg(5)
	Vsd(1)	Vsd(2)	Vsd(3)	Vsd(4)	Vsd(5)
閾値電圧	平均値	下限	上限	上限	下限
移動度	平均値	下限	上限	下限	上限

図 3 では、時間 460 ～ 470 μ s が上記第 1 の期間に相当する。図 3 から判る通り、この期間では駆動用 T F T 1 のソース・ドレイン間電位 $V_{sd}(1) \sim (5)$ とソース・ゲート間電位 $V_{sg}(1) \sim (5)$ とは一致している。

また、図 3 では、時間 480 ～ 490 μ s が上記第 2 の期間に相当する。図 3 から判る通り、この期間では駆動用 T F T 1 の閾値電圧・移動度の条件の違いに関わらず、ソース・ドレイン間電位 V_{sd} はほぼ同じ値となっている。

これは、先の第 1 期間において、第 2 コンデンサ 7 の第 2 端子を一定電位 V_a に接続し、その後、この第 2 端子を駆動用 T F T 1 のドレイン端子に接続することで、駆動用 T F T 1 のソース・ドレイン間電位が $V_s - V_a$ のとき、ソース・ゲート間電位が上記図 12 の第 1 期間のソース・ゲート間電位となるよう第 1 及び第 2 コンデンサへ電荷が貯められたためである。

このことにより、駆動用 T F T 1 の閾値電圧・移動度のばらつきに依らず、駆動用 T F T 1 のソース・ドレイン間電位が上記電位 $V_s - V_a$

のとき、駆動用 T F T 1 のソース・ゲート間電位が上記第 1 期間のソース・ゲート間電位となるよう設定できる。この状態で電源配線 V_s から駆動用 T F T 1、スイッチ用 T F T 5、ソース配線 S_j を通して図示しないソースドライバ回路へ所望の電流を流す。このことにより、このとき発生するソース・ゲート間電位 V_{sg} は、駆動用 T F T の閾値電圧・移動度のばらつきに依らず、駆動用 T F T 1 のソース・ドレイン間電位が一定であれば、駆動用 T F T 1 から概ね一定の電流を流すよう設定される。

その後、図 3 に示すように、非選択期間（すなわち、駆動用トランジスタの電流読みだし：概ね時間 $500\mu s$ 以降）において、駆動用 T F T 1 のソース・ドレイン間電位は変化する。しかし、この駆動用 T F T 1 の負荷である有機 E L 素子 6 はダイオード的特性を示すので、多少の電流値の違いがあっても電位ドロップは概ね一定となる。このため、駆動用 T F T 1 のドレイン端子電位は駆動用 T F T 1 の閾値電圧・移動度のばらつきに依らず概ね一定となり、駆動用 T F T 1 のソース・ドレイン間電圧はほぼ一定となる。この結果、駆動用 T F T 1 の閾値電圧・移動度に依らず、有機 E L 素子 6 を流れる電流値のばらつきが抑えられる。

なお、上記一定電位 V_a を上記有機 E L 素子 6 の印加電圧－電流特性から予想される電位（その電流値における有機 E L の陽極電位）とすることで、上記駆動用 T F T 1 の電流書き込み時と読み出し時のソース・ドレイン間電圧をほぼ等しくできるので好ましい。

この有機 E L 素子 6 を流れる電流値をシミュレーションで求めた結果を図 4 および図 5 に示す。

図 4 におけるシミュレーションでは、 $0.32ms$ 毎に選択期間が来

るよう設定し、最初の時間 $0.35\text{ ms} \sim 0.67\text{ ms}$ の間でソース配線 S_j へ電流値 $0.1\text{ }\mu\text{ A}$ が流れるよう設定した。それ以降は、時間 0.32 ms 毎に、ソース配線 S_j へ流れる電流値を $0.1\text{ }\mu\text{ A}$ 刻みで $0.9\text{ }\mu\text{ A}$ まで増加させ、その後 0 に戻し、再度 $0.1\text{ }\mu\text{ A}$ 刻みで増加させている。

このシミュレーションにおいて、ソース配線 S_j に流した電流値 ($0 \sim 0.9\text{ }\mu\text{ A}$ 迄の 10 点) を横軸にし、これらの各電流値を与えた後の非選択期間における有機 EL 素子 6 へ流れる電流値を縦軸として、そのばらつきを示したのが図 5 である。図 5 において、ソース配線 S_j へ $0.9\text{ }\mu\text{ A}$ の電流を流した後の非選択期間では、有機 EL 素子へ流れる電流値は約 $0.97 \sim 1.01\text{ }\mu\text{ A}$ ($+8\% \sim +13\%$) の範囲でばらついている。

これは、図 26 に示した従来技術でのシミュレーション結果 ($+5\% \sim +24\%$ のばらつき、即ち幅 19% のばらつき) に比べ充分小さくなっており、本発明の手段が有効 ($+8\% \sim +13\%$ のばらつき、即ち幅 5% のばらつき) であることを証明している。

なお、本発明に係る画素回路構成において、上記ばらつきを更に抑えるには、第 1 および第 2 コンデンサ $2, 7$ の絶対容量およびその相対比、一定電位 V_a の値、駆動用 $TFT1$ のゲート幅等を最適化することが有効である。

例えば、第 2 コンデンサ 7 の容量 C_2 と第 1 コンデンサ 2 の容量 C_1 との比 C_2 / C_1 は、その比が大きいほど、第 2 の期間で起こるソース・ゲート間電位 V_{sg} の変化を得るために必要なソース・ドレイン間電位のばらつきを抑えることができる。この場合、駆動用 $TFT1$ の閾

値電圧・移動度に依るソース・ドレイン間電位のばらつきを抑え、非選択期間に有機EL素子6に流れる電流値のばらつきを抑えるので好ましい。

但し、各コンデンサの容量の絶対値を小さくしすぎると、各コンデンサに保持される電位が、そのコンデンサに繋がるスイッチ用TFT3, 8, 9のゲート端子電位の変化の影響を受け、その結果、非選択期間に有機EL素子6に流れる電流値をばらつかせるので好ましくない。

また、第1の期間に与える一定電位 V_a の値は、電源配線 V_s との電位差 $V_s - V_a$ が、非選択時に想定されるソース・ドレイン間電位 V_{sd} よりやや大きめに設定するかほぼ同じに設定されることが好ましい。但し、電位差 $V_s - V_a$ の設定が余りに大きすぎる場合、電流書き込み時と非選択時とのソース・ドレイン間電位 V_{sd} の変化が大きくなりすぎ、ソース配線 S_j から供給した電流値に比べ、実際に有機EL素子6に流れる電流値が小さくなり過ぎるので好ましくない。

また、駆動用TFT1のゲート幅 W については、大きすぎると駆動用TFT1のソース・ゲート間電位が小さくなりすぎて、ゲート電位の変動が非選択期間に有機EL素子6に流れる電流値をばらつかせるため好ましくない。また、上記ゲート幅 W は、小さすぎても必要な電流を得るのに必要なソース・ドレイン間電位が大きくなり過ぎるため好ましくない。

本実施の形態1で用いた有機EL素子に対しては、図1に示す画素回路 A_{ij} において、 $C_1 = 1000\text{ fF}$ 、 $C_2 = 500\text{ fF}$ 、 $V_s = 16\text{ V}$ 、 $V_a = 10\text{ V}$ 、 $W = 12\text{ }\mu\text{m}$ のとき、有機ELを流れる電流値のばらつきが最も少なくなり（1%程度）好適であった。

5 なお、これら第1および第2コンデンサ2, 7の絶対容量 C_1 , C_2 およびその相対比、一定電位 V_a の値、駆動用TFT1のゲート幅 W は駆動すべき有機EL素子の特性、必要な輝度、用いる駆動用TFT1の特性に依存するので、実際にパネルを設計するときに、改めてシミュレーションを重ねた上で決定する必要がある。

10 なお、図1の画素回路構成では、駆動用TFT1のゲート端子とドレイン端子とを接続するためにスイッチング用TFT3をソース配線 S_j へ接続したが、直接駆動用TFT1のドレイン端子へ接続しても良い。これは、第2コンデンサ7の第2端子を駆動用TFT1のドレイン端子へ接続するためのスイッチング用TFT9についても同様であり、スイッチング用TFT3, 9は、直接駆動用TFT1のドレイン端子へ接続しても良い。

15 また、有機EL素子を駆動用TFTのソース側に配置することもできる。このとき、図6に示すように、駆動用TFT1'はn型TFTとなり、有機EL素子6'の陰極が駆動用TFT1'のソース端子側に繋がる。また、上記図6に示す構成では、スイッチ用TFT4'およびスイッチ用TFT5'が共にn型TFTとして形成されている点が図1に示す画素回路構成と異なっている。

20 また、スイッチ用TFT3は駆動用TFT1'のドレイン端子へ接続されている。スイッチ用TFT9も同様である。

図6に示す画素回路構成について、その他の配線、動作は図1と同様なので、図1と同様の構成については同一の部材番号を付し、ここではその説明を省略する。

〔実施の形態2〕

本実施の形態 2 では、本発明に係る第 1 の特徴的構成を画素回路およびソースドライバ回路において適用した場合の第 1 の例について説明する。

本実施の形態 2 に係る表示装置は、本発明の特徴的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成である。このため、
5 上記表示装置は、図 7 に示すように、第 1 の配線であるソース配線 S_j ($j = 1 \sim m$ の整数) と第 2 の配線であるゲート配線 G_i ($i = 1 \sim n$ の整数) とが交差する領域に画素回路 A_{ij} を配置し、ソース配線 S_j にソースドライバ回路 50 を接続し、ゲート配線 G_i にゲートドライバ回路 51 を接続した構成となっている。
10

上記表示装置において、本発明の特徴的構成を含む画素回路 A_{ij} とソースドライバ回路 50 の出力段であるソースドライバ出力端回路 D_j との構成を図 8 に示す。

本実施の形態 2 に係る表示装置では、上記図 8 に示すように、ソース配線 S_j とゲート配線 G_i が交差する領域に画素回路 A_{ij} が配置され、
15 各画素回路 A_{ij} には、アクティブ素子である駆動用 TFT 11 と電気光学素子である有機 EL 素子 16 と第 1 コンデンサ 12 が配置されている。この駆動用 TFT 11 と有機 EL 素子 16 とは、電源配線 V_s と共通配線 V_{com} の間に直列に配置されている。

そして、駆動用 TFT 11 のゲート端子（電流制御端子）には第 1 コンデンサ 12 の一方の端子（第 1 端子とする）が接続され、第 1 コンデンサ 12 のもう一方の端子（第 2 端子とする）は駆動用 TFT 11 のソース端子（電流入力端子）および電源配線 V_s へ接続されている。
20

また、この画素回路構成では、ソース配線 S_j に平行に第 3 の配線で

ある信号線 T_j が配置され、駆動用 T F T 1 1 のゲート端子はスイッチ用 T F T 1 5 を介して信号線 T_j に接続している。

さらに、駆動用 T F T 1 1 のドレイン端子（電流出力端子）と有機 E L 素子 1 6 の陽極との間にはスイッチ用 T F T 1 3 が配置されており、
5 駆動用 T F T 1 1 とスイッチ用 T F T 1 3 との間の接続点は、スイッチ用 T F T 1 4 を介してソース配線 S_j と接続されている。

この画素回路 A_{ij} を構成するスイッチ用 T F T 1 5, 1 4, 1 3 のゲート端子には各々制御配線 G_i , W_i , R_i が接続されている。

ソースドライバ回路 5 0 では、複数の画素回路 $A_{1j} \sim A_{nj}$ に対応
10 して 1 つの出力端回路 D_j が配置されている。この出力端回路 D_j は、
図 8 に示すように、信号線 T_j に第 2 コンデンサ 2 5 の一方の端子（第 1 端子とする）が接続され、更に信号線 T_j とソース配線 S_j との間に
第 1 のスイッチ用トランジスタであるスイッチ用 T F T 2 2 が配置され
ている。また、第 2 コンデンサ 2 5 のもう一方の端子（第 2 端子とす
15 る）と所定電圧線 V_a の間には第 3 のスイッチ用トランジスタであるス
イッチ用 T F T 2 3 が配置され、第 2 コンデンサ 2 5 の第 2 端子とソー
ス配線 S_j との間には第 2 のスイッチ用トランジスタであるスイッチ用
T F T 2 4 が配置されている。さらに、信号線 T_j と O F F 電位線 V_{off}
との間には第 4 のスイッチ用トランジスタであるスイッチ用 T F T
20 2 1 が配置されている。

上記出力端回路 D_j において、スイッチ用 T F T 2 1 のゲート端子には制御配線 E_j が接続され、スイッチ用 T F T 2 2, 2 3 のゲート端子には制御配線 C_j が接続され、スイッチ用 T F T 2 4 のゲート端子には制御配線 B_j が接続されている。

上記表示装置の画素回路 A_{ij} および出力端回路 D_j における動作を、制御配線 R_i , W_i , G_i , C_j , E_j , B_j およびソース配線 S_j の動作タイミングを示す図 9 を参照して以下に説明する。

本実施の形態 2 に係る駆動方法（本発明の第 1 の駆動方法）では、画素回路 A_{ij} の選択期間である時間 $0 \sim 5t_1$ の間に、制御配線 R_i の電位を H_{igh} (G_H) としてスイッチ用 TFT_{13} を OFF 状態とし、制御配線 W_i の電位を L_{ow} (G_L) としてスイッチ用 TFT_{14} を ON 状態とする。

画素回路 A_{ij} では、第 1 の期間（時間 $t_1 \sim 2t_1$ ）において、制御配線 G_i の電位を H_{igh} としてスイッチ TFT_{15} を ON 状態とし、駆動用 TFT_{11} のゲート端子を信号線 T_j と電氣的に接続させる。これにより、駆動用 TFT_{11} のゲート端子に第 1 コンデンサ 12 および第 2 コンデンサ 25 が接続された状態を作る。

これと前後し、出力端回路 D_j では、制御配線 C_j の電位を H_{igh} として、スイッチ用 TFT_{22} , 23 を ON 状態とする。この結果、駆動用 TFT_{11} のゲート端子とドレイン端子とが、スイッチ用 TFT_{15} , 22 , 14 を通じて電氣的に接続される。また、第 2 コンデンサ 25 の第 2 端子は、スイッチ用 TFT_{23} を通じて所定電圧線 V_a へ接続される。このとき、電源配線 V_s から駆動用 TFT_{11} , スwitch用 TFT_{14} , ソース配線 S_j を通して電流出力端 I_j より一定電流が流れる。

その後、このときのソース配線 S_j の電位を第 1 コンデンサ 12 および第 2 コンデンサ 25 を用いて保持するために、制御配線 C_j の電位を L_{ow} としてスイッチ用 TFT_{22} , 23 を OFF 状態とする。

このとき、第1コンデンサ12および第2コンデンサ25により、駆動用TFT11のゲートでは、該駆動用TFT11の閾値電圧・移動度に依らず、第2コンデンサ25の第2端子電位が V_a のとき、先の一定電流（上記第1の期間で駆動用TFT11のソース・ドレイン間に流れた電流）が流れるような電位が保持される。

次に、第2の期間（時間 $3t_1 \sim 4t_1$ ）では、制御配線 B_j の電位をHighとして、スイッチ用TFT24をON状態とする。この結果、第2コンデンサ25の第2端子は、スイッチ用TFT24、14を通じて駆動用TFT11のドレイン端子と接続される。このとき、電源配線 V_s から駆動用TFT11、スイッチ用TFT14、ソース配線 S_j を通じて電流出力端 I_j より所望の電流が流される。

これにより、上記第2の期間では、駆動用TFT11の閾値電圧・移動度に依らず、駆動用TFT11のソース・ドレイン間電位が上記電位 $V_s - V_a$ のとき、駆動用TFT11に上記電流を流すよう設定される。そして、駆動用TFT11へ所望の電流を流すことで、駆動用TFT11のソース・ドレイン間電位が概ね一定の条件で駆動用TFTのゲート・ソース間電位を設定できる。

この第2の期間での駆動用TFT11のソース・ゲート間電位は、その後、時間 $4t_1$ で、制御配線 G_i の電位をLowとし、スイッチ用TFT15をOFF状態とすることで、第1コンデンサ12に保持される。

その後、時間 $5t_1$ で、制御配線 B_j の電位をLowとしてスイッチ用TFT24をOFF状態とすることで第2コンデンサ25とソース配線 S_j との電氣的接続を遮断し、制御配線 W_i の電位をHighとしてスイッチ用TFT14をOFF状態とすることで駆動用TFT11のド

ライン端子とソース配線 S_j との電氣的接続を遮断する。さらに、制御配線 R_i の電位を Low としてスイッチ用 TFT_{13} を ON 状態として駆動用 TFT_{11} から有機 EL 素子 16 へ電流を流す状態とする。

5 以上で、画素回路 A_{ij} の選択期間が終わり、次の画素回路 $A(i+1)j$ の選択期間になる。

上記図 8 に示す画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機 EL 素子 16 を流れる電流値をシミュレーションで求めた結果を図 10 に示す。

10 図 10 におけるシミュレーションでは、 0.55 ms 毎に選択期間が来るよう設定し、最初の時間 $0.06\text{ ms} \sim 0.61\text{ ms}$ の間でソース配線 S_j へ電流値 $0.1\text{ }\mu\text{ A}$ が流れるよう設定した。それ以降は、時間 0.55 ms 毎に、ソース配線 S_j へ流れる電流値を $0.1\text{ }\mu\text{ A}$ 刻みで $0.9\text{ }\mu\text{ A}$ まで増加させ、その後 0 に戻し、再度 $0.1\text{ }\mu\text{ A}$ 刻みで増加させている。

15 上記図 10 と実施の形態 1 で示した図 4 とを比較すれば判る通り、本実施の形態 2 のように本発明の特徴的構成の一部をソースドライバ回路に配置した構成でも、総てを画素回路に配置した実施の形態 1 の構成と同様に、駆動用 TFT_{11} の閾値電圧・移動度のばらつきの影響を弱め、非選択期間に有機 EL 素子 16 に流れる電流値のばらつきを抑えること
20 ができる。

また、図 8 の画素回路構成と実施の形態 1 で示した図 1 の画素回路構成とを比較すれば判る通り、本実施の形態 2 に係る構成では、スイッチ用 TFT やコンデンサをソースドライバ回路側に配置するので、ボトムエミッション構成 (TFT 素子を形成した透明基板側に光を放出する構

成)の表示装置において、画素当たり配置できる有機EL素子の面積を大きくできるといった効果が得られる。

この結果、有機EL素子の単位面積当たりの発光輝度が抑えられるので、有機EL素子の輝度半減寿命を延ばすことができる。

5 また、トップエミッション構成(TFT素子を形成した透明基板とは反対側に光を放出する構成)において画素に配置する素子数が増えないので、従来技術と同様なサイズまで画素サイズを小さくできる。

10 また、本実施の形態2において、非選択期間における有機EL素子16の電流値を0とする場合、図9における期間 $6t_1 \sim 10t_1$ に示すように、制御配線E_jの電位をHighとしてスイッチ用TFT21をON状態とし、信号線T_jへOFF電位V_{off}を供給すればよい。またこの間、制御配線C_j、制御配線B_jの電位はLowとする。

15 その結果、上記期間($6t_1 \sim 10t_1$)、信号線T_jはOFF電位となるので、図10の5.01~5.56msに示すように、有機EL素子16を流れる電流値をほぼ0とできる。

20 このシミュレーション結果と従来の図25のシミュレーション結果とを比較すれば、図8に示す回路構成において、スイッチ用TFT21を用いることで、有機EL素子16を流れる電流値を0に近づけることができることが判る。その結果、表示装置のコントラストを向上することができるので好ましい。

〔実施の形態3〕

本実施の形態3では、本発明に係る第1の特徴的構成を画素回路およびソースドライバ回路において適用した場合の第2の例について説明する。

本実施の形態3に係る表示装置も、本発明の特徴的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成である。このため、上記表示装置は、実施の形態2と同様に図7に示すような構成となり、ここではその説明を省略する。

5 上記表示装置において、本発明の特徴的構成を含む画素回路 A_{ij} とソースドライバ回路50の出力段であるソースドライバ出力端回路 D_j との構成を図11に示す。

10 本実施の形態3に係る表示装置では、図11に示すように、画素回路 A_{ij} の構成において、実施の形態2で示した図8の画素回路構成の3本の制御配線 G_i , W_i , R_i の代わりに1本のゲート配線 G_i を用い、 p 型TFTであるスイッチ用TFT14の代わりに n 型TFTであるスイッチ用TFT14'を用いている。すなわち、図11に示す画素回路 A_{ij} では、スイッチ用TFT13, 15, 14'がゲート配線 G_i により駆動される。

15 また、電源配線 V_s をソース配線 S_j に平行な状態から、ゲート配線 G_i に平行な状態に変更している。その他の点では図11の回路は図8の回路と同じなので、ここではその詳しい説明は省略する。

20 上記表示装置の画素回路 A_{ij} および出力端回路 D_j における動作を、制御配線 G_i , C_j , E_j , B_j およびソース配線 S_j の動作タイミングを示す図12を参照して以下に説明する。

本実施の形態3に係る駆動方法では、画素回路 A_{ij} の選択期間のうち、時間 $t_1 \sim 5t_1$ で、ゲート配線 G_i の電位をHigh (GH) として、スイッチ用TFT13をOFF状態とし、スイッチ用TFT14', 15をON状態とする。

この期間、駆動用 T F T 1 1 のゲート端子が信号線 T j と接続し、駆動用 T F T 1 1 のゲート端子に第 1 コンデンサ 1 2 , 第 2 コンデンサ 2 5 が接続された状態となる。

これと前後し、出力端回路 D j では、第 1 の期間（時間 $t_1 \sim 2 t_1$ ）において制御配線 C j の電位を H i g h として、スイッチ用 T F T 2 2 , 2 3 を O N 状態とする。この結果、駆動用 T F T 1 1 のゲート端子とドレイン端子とが、スイッチ用 T F T 1 5 , 2 2 , 1 4 ' を通じて接続される。また、第 2 コンデンサ 2 5 の第 2 端子は所定電圧線 V a へ接続される。

そして、電源配線 V s から駆動用 T F T 1 1 , スwitch用 T F T 1 4 ' , ソース配線 S j を通して電流出力端 I j より一定電流を引き抜く。このときのソース配線 S j の電位は、時間 $2 t_1$ において制御配線 C j の電位を L o w としてスイッチ用 T F T 2 2 , 2 3 を O F F 状態とすることにより、第 1 コンデンサ 1 2 および第 2 コンデンサ 2 5 を用いて保持される。

このとき、第 1 コンデンサ 1 2 および第 2 コンデンサ 2 5 により、駆動用 T F T 1 1 のゲートでは、該駆動用 T F T 1 1 の閾値電圧・移動度を補償し、第 2 コンデンサ 2 5 の第 2 端子電位が V a のとき、先の一定電流（上記第 1 の期間で駆動用 T F T 1 1 のソース・ドレイン間に流れた電流）が流れるような電位が保持される。

次に、第 2 の期間（時間 $3 t_1 \sim 4 t_1$ ）では、制御配線 B j の電位を H i g h として、スイッチ用 T F T 2 4 を O N 状態とする。この結果、第 2 コンデンサ 2 5 の第 2 端子は、スイッチ用 T F T 2 4 , 1 4 ' を通じて駆動用 T F T 1 1 のドレイン端子と接続される。

このとき、電源配線 V_s から駆動用 T F T 1 1, スイッチ用 T F T 1 4', ソース配線 S_j を通して電流出力端 I_j より所望の電流が流される。これにより、上記第 2 の期間では、駆動用 T F T 1 1 の閾値電圧・移動度に依らず、駆動用 T F T 1 1 のソース・ドレイン間電位を概ね一定とした状態で、駆動用 T F T 1 1 に所望の電流を流すようそのゲート・ソース間電位を設定できる。

この第 2 の期間での駆動用 T F T 1 1 のソース・ゲート間電位は、その後、時間 $4t_1$ で、制御配線 B_j の電位を Low とし、スイッチ用 T F T 2 4 を OFF 状態とすることで、第 2 コンデンサ 2 5 に保持される。

その後、時間 $5t_1$ で、ゲート配線 G_i の電位を Low としてスイッチ用 T F T 1 5 を OFF 状態とすることで第 1 コンデンサ 1 2 と信号配線 T_j との電氣的接続を遮断し、このときの信号配線 T_j の電位を第 1 コンデンサ 1 2 へ保持する。同時に、スイッチ用 T F T 1 4' を OFF 状態とすることで駆動用 T F T 1 1 のドレイン端子とソース配線 S_j との電氣的接続を遮断すると共に、スイッチ用 T F T 1 3 を ON 状態として、駆動用 T F T 1 1 から有機 E L 素子 1 6 へ電流を流す状態とする。

以上で、画素回路 A_{ij} の選択期間が終わり、次の画素回路 $A(i+1)j$ の選択期間になる。

上記図 1 1 に示す画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機 E L 素子 1 6 を流れる電流値をシミュレーションで求めた結果を図 1 3 に示す。

図 1 3 におけるシミュレーションでは、 0.55ms 毎に選択期間が来るよう設定し、最初の時間 $0.06\text{ms} \sim 0.61\text{ms}$ の間でソース配線 S_j へ電流値 $0.1\mu\text{A}$ が流れるよう設定した。それ以降は時間 $0.$

5 5 m s 毎に、ソース配線 S_j へ流れる電流値を $0.1 \mu A$ 刻みで $0.9 \mu A$ まで増加させ、その後 0 に戻し、再度 $0.1 \mu A$ 刻みで増加させている。

5 本実施の形態 3 に係るシミュレーション結果と従来の技術で示した図 25 のシミュレーション結果とを比較すれば判る通り、本実施の形態 3 のように画素回路 A_{ij} における制御配線を減らした構成でも、駆動用 TFT 11 の閾値電圧・移動度のばらつきの影響を弱め、非選択期間に有機 EL 素子 16 に流れる電流値のばらつきを抑えることができる。

10 また、本実施の形態 3 に係る図 11 の画素回路構成と実施の形態 2 で示した図 8 の画素回路構成とを比較すれば判る通り、本実施の形態 3 では制御配線 G_i が 1 本だけで済むので、ボトムエミッション構成（TFT 素子を形成した透明基板側に光を放出する構成）の表示装置において、画素当たりに配置できる有機 EL 素子の面積をより大きくでき、有機 EL 素子の輝度半減寿命を延ばすことができるので好ましい。

15 [実施の形態 4]

本実施の形態 4 では、本発明に係る第 2 の特徴的構成をソースドライバ回路において適用した場合の例について説明する。

本実施の形態 3 に係る表示装置において、ソースドライバ回路の出力段である電流出力回路 F_j の構成を図 14 に示す。上記電流出力回路 F_j における出力端子 I_j は、例えば、図 1 に示すソース配線 S_j や、図 8 および図 11 に示す電流出力端 I_j へ接続されるものである。

20 上記電流出力回路 F_j は、アクティブ素子である駆動用 TFT 31 のゲート端子（電流制御端子）に第 1 コンデンサ 32 および第 2 コンデンサ 33 の一方の端子（第 1 端子とする）が接続された構成である。また、

第1コンデンサ32におけるもう一方の端子（第2端子とする）および駆動用TFT31のドレイン端子（電流出力端子）は共通電極Vcomに接続されている。

この駆動用TFT31のゲート端子とTFTのソース端子（電流入力端子）との間には、スイッチ用TFT34およびスイッチ用TFT35が直列に配置されている。

また、第2コンデンサ33のもう一方の端子（第2端子とする）と所定電圧線Vbの間にはスイッチ用TFT36が配置され、第2コンデンサ33の第2端子と駆動用TFT31のソース端子との間にはスイッチ用TFT37とスイッチ用TFT35とが直列に配置されている。

さらに、電流出力回路Fjの出力端子Ijと駆動用TFT31のソース端子の間にはスイッチ用TFT38が配置されている。

このスイッチ用TFT34, 36のゲート端子には制御配線DCjが接続され、スイッチ用TFT37, 35, 38のゲート端子には制御配線DPj, DWj, DRjがそれぞれ接続されている。

上記表示装置のソースドライバ回路における電流出力回路Fjにおける動作を、制御配線DRj, DWj, DCj, DPj, および共通電流配線Icomの動作タイミングを示す図15を参照して以下に説明する。

本実施の形態4に係る駆動方法では、電流設定期間である時間t1～5t1の間に、制御配線DRjの電位をLowとしてスイッチ用TFT38をOFF状態とし、制御配線DWjの電位をHighとしてスイッチ用TFT35をON状態とする。

そして、第1の期間（時間t1～2t1）では、制御配線DCjの電位をHighとして、スイッチ用TFT34, 36をON状態とする。

この結果、駆動用TFT31のゲート端子とソース端子とは、スイッチ用TFT34, 35を通じて電氣的に接続される。また、第2コンデンサ33の第2端子は、スイッチ用TFT36を通じて所定電圧線Vbへ接続される。このとき、共通電流配線Icomからスイッチ用TFT35, 駆動用TFT31を通して共通電極Vcomへ一定電流を流す。

そして、上記第1の期間での共通電流配線Icomの電位を第1コンデンサ32および第2コンデンサ33を用いて保持するため、時間2t1において制御配線DCjの電位をLowとし、スイッチ用TFT34, 36をOFF状態とする。

このとき、第1コンデンサ32および第2コンデンサ33により、駆動用TFT31のゲートでは、該駆動用TFT31の閾値電圧・移動度を補償し、第2コンデンサ33の第2端子電位がVbのとき、先の一定電流（上記第1の期間で駆動用TFT31のソース・ドレイン間に流れた電流）が流れるような電位が保持される。

次に、第2の期間（時間3t1～4t1）では、制御配線DPjの電位をHighとして、スイッチ用TFT37をON状態とする。この結果、第2コンデンサ33の第2端子は、駆動用TFT31のソース端子とスイッチ用TFT37, 35を通じて接続される。このとき、共通電流配線Icomからスイッチ用TFT35, 駆動用TFT31を通じて共通電極Vcomへ所望の電流が流される。

これにより、上記第2の期間では、駆動用TFT31の閾値電圧・移動度に依らず、駆動用TFT31のソース・ドレイン間電位を概ね一定とした状態で、駆動用TFT31に所望の電流を流すようゲート・ドレイン間電位が設定できる。

この第2の期間での駆動用TFT31のゲート・ドレイン間電位は、時間4t1で、制御配線DPjの電位をLowとし、スイッチ用TFT37をOFF状態とすることで、第1コンデンサ32および第2コンデンサ33に保持される。

その後、時間5t1で、制御配線DWjの電位をLowとしてスイッチ用TFT35をOFF状態とし、共通電流配線Icomと駆動用TFT31のソース端子との電氣的接続を遮断する。さらに、制御配線DRjの電位をHighとしてスイッチ用TFT38をON状態とすることで、電流出力端子Ijから駆動用TFT31へ所望の電流を流す状態とする。

以上で、この電流出力回路Fjの選択期間が終わり、次の電流出力回路Fj+1の電流設定期間となる。

上記電流出力回路Fjの選択期間において、駆動用TFT31の閾値電圧・移動度を以下の表3の条件で変化させ、駆動用TFT31のソース・ドレイン間電圧Vsdとゲート・ドレイン間電圧Vgdとをシミュレーションした結果を図16に示す。

〔表3〕

	Ioled(1)	Ioled(2)	Ioled(3)	Ioled(4)	Ioled(5)
	Vgd(1)	Vgd(2)	Vgd(3)	Vgd(4)	Vgd(5)
	Vsd(1)	Vsd(2)	Vsd(3)	Vsd(4)	Vsd(5)
閾値電圧	平均値	上限	下限	上限	下限
移動度	平均値	上限	下限	下限	上限

図16では、時間0.61~0.62msが上記第1の期間に相当する。図16から判るとおり、この期間では駆動用TF T 31のソース・ドレイン間電位 $V_{sd}(1) \sim (5)$ とソース・ゲート間電位 $V_{sg}(1) \sim (5)$ とは一致している。

5 また、図16では、時間0.63~0.64msが上記第2の期間に相当する。図16から判るとおり、この期間では駆動用TF T 31のソース・ドレイン間電位 V_{sd} は、駆動用TF Tの閾値電圧・移動度の条件の違いに依らず、ほぼ同じ値となっている。

すなわち、上記第2の期間では、共通電流配線I comからスイッチ
10 用TF T 35，駆動用TF T 31を通じて共通電極V comへ所望の電流を流すので、駆動用TF Tの閾値電圧・移動度のばらつきに依らず、駆動用TF T 31のソース・ドレイン間電位が一定となる条件で駆動用TF T 31のゲート・ドレイン間電位 V_{gd} を設定できる。

この結果、駆動用TF T 31の閾値電圧・移動度に依らず、駆動用TF
15 T 31のソース・ドレイン間電位が等しければ、概ね一定の電流を流すことができる電流出力回路が実現できる。

その後、電流出力回路F jの読み出し期間となるが、図16のシミュ
レーションでは、この電流出力端子I jと電源配線V sとの間に有機EL素子の代わりに抵抗を配置したが駆動用TF T 31の出力電流値がほ
20 ぼ一定であるため、この読み出し期間で駆動用TF T 31のソース・ドレイン間電圧 V_{sd} は、ほぼ一定となる。

このとき、上記表3に示した5つの駆動用TF T 31の閾値電圧・移動度条件を用いて駆動用TF T 31の電流値ばらつきをシミュレーションした結果を図17に示す。

図17におけるシミュレーションでは、0.55ms毎に選択期間が来るよう設定し、最初の時間0.06ms～0.65msの間でソース配線S_jへ電流値0.1μAが流れるよう設定した。それ以降は時間0.55ms毎に、ソース配線S_jへ流れる電流値を0.1μA刻みで0.9μAまで増加させ、その後0に戻し、再度0.1μA刻みで増加させている。

図17のシミュレーション結果から判る通り、本実施の形態4に係るソースドライバ回路を用いれば、駆動用TFT31の閾値電圧・移動度のばらつきによる、駆動用TFT31を流れる電流値のばらつきを抑える（図17の時間3.6msで電流値のばらつきは1.05～1.15μAの範囲、即ち9%のばらつき範囲に収まっているので）効果がある。

特に、出力電流が0.8μAまでは駆動用TFT31の閾値電圧・移動度のばらつきに依らず、ほぼ均一な電流値が得られている。

ところで、本発明の特徴的構成をソースドライバ回路として用いる場合、さらにその構成を画素回路においても本発明の特徴的構成を用いることが好ましい。以下にその例を説明する。

すなわち、図14のソースドライバ回路の電流出力端子I_jに実施の形態1で示した図1の画素回路を接続し、その効果をシミュレーションにより調べてみた。

まず、上記図14および図1に与える各制御端子の信号タイミングを図18のようにする。

この駆動タイミングを用いて図14の駆動用TFT31のソース・ドレイン間電位V_{sd}とソース・ゲート間電位V_{sg}をシミュレーションで調べた結果を図19に示す。

図19においては、時間0.61~0.65msが図14のソースドライバ回路の駆動用TFT31の電流設定期間に相当し、時間0.70~0.75msが図1の画素回路の選択期間に相当する。

また、時間0.61~0.62msがソースドライバ回路の駆動用TFT31の第1の期間に相当するが、この時、駆動用TFT31のソース・ドレイン間電位 V_{sd} とゲート・ドレイン間電位 V_{gd} とは一致している。

次に、時間0.63~0.64msがソースドライバ回路の駆動用TFT31の第2の期間に相当するが、この時、駆動用TFT31のソース・ドレイン間電位 V_{sd} は、駆動用TFT31の閾値電圧・移動度に依らず一致する。

次に、時間0.71~0.72msが画素回路の第1の期間に相当する。このとき、ソースドライバ回路の駆動用TFT31のソース・ドレイン間電位 V_{sd} が、画素回路の駆動用TFT1の閾値電圧・移動度のばらつきによりばらついている。その結果、ソースドライバ回路の駆動用TFT31の出力電流もばらつく。

しかし、画素回路の第2の期間に相当する時間0.73~0.74msでは、画素回路の駆動用TFT1の閾値電圧・移動度に依らず、ソースドライバ回路の駆動用TFT31のソース・ドレイン間電位 V_{sd} が一致する。その結果、図20に示すように、画素回路に配置した有機EL素子6を流れる電流値のばらつきは抑えられる。

なおこの場合、ソースドライバ回路の電流読み出し時のソース電位は上記所定電圧線の電位 V_b であることが好ましい。そのためには、上記画素回路の所定電圧線電位 V_a と上記所定電圧線電位 V_b とを同じにす

れば良い。

このように本発明の特徴的構成部分は、ソースドライバ回路の電流出力回路として用いることもできるし、画素回路で用いることもできる。何れの回路構成で用いても、本発明は駆動用 T F T の閾値電圧・移動度
5 に依らず、駆動用 T F T へ所望の電流を流す効果がある。

また、図 23 のようにソースドライバ回路から電流を入力するときは、これと共に用いるソースドライバ回路側において、図 21 に示すように、用いる T F T 31' および 34' ~ 38' をすべて p 型 T F T で構成することが好ましい。

10 なお、図 21 の回路構成は、駆動用 T F T 31' のソース端子が電源配線 V_s と繋がっており、駆動用 T F T 31' から電流が出力される本発明の第 1 の構成をソースドライバ回路へ適用した例となる。

〔実施の形態 5〕

本実施の形態 5 では、本発明に係る第 1 の特徴的構成を画素回路およびソースドライバ回路において適用した場合の第 3 の例について説明する。
15

本実施の形態 5 に係る表示装置も、本発明の特徴的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成である。このため、上記表示装置は、実施の形態 2 と同様に図 7 に示すような構成となり、
20 ここではその説明を省略する。

上記表示装置において、本発明の特徴的構成を含む画素回路 A_{ij} とソースドライバ回路 50 の出力段であるソースドライバ出力端回路 D_j との構成を図 31 に示す。

本実施の形態 5 に係る表示装置では、上記図 31 に示すように、ソー

ス配線 S_j とゲート配線 G_i とが交差する領域に画素回路 A_{ij} が配置され、各画素回路 A_{ij} には、アクティブ素子である駆動用 T F T 4 1 と電気光学素子である有機 E L 素子 4 8 と第 1 のスイッチ用トランジスタであるスイッチ用 T F T 4 2 と第 1 コンデンサ 4 4 と第 2 コンデンサ 4 5 とが配置されている。この駆動用 T F T 4 1 と有機 E L 素子 4 8 とは、電源配線 V_s と共通配線 V_{com} との間に直列に配置されている。

そして、駆動用 T F T 4 1 のゲート端子（電流制御端子）には第 1 コンデンサ 4 4 および第 2 のコンデンサ 4 5 のそれぞれにおける一方の端子（第 1 端子とする）が接続され、第 1 コンデンサ 4 4 のもう一方の端子（第 2 端子とする）は駆動用 T F T 4 1 のソース端子（電流入力端子）および電源配線 V_s へ接続されている。

また、駆動用 T F T 4 1 のゲート端子（電流制御端子）とソース配線 S_j の間には第 1 のスイッチ用トランジスタであるスイッチ用 T F T 4 2 が配置されている。

更に、ソース配線 S_j と平行に第 3 の配線である信号線（接続配線） T_j が配置され、第 2 のコンデンサ 4 5 のもう一方の端子（第 2 端子とする）はスイッチ用 T F T 4 3 を介して信号線 T_j に接続されている。

さらに、駆動用 T F T 4 1 のドレイン端子（電流出力端子）と有機 E L 素子 4 8 の陽極との間にはスイッチ用 T F T 4 6 が配置されており、駆動用 T F T 4 1 とスイッチ用 T F T 4 6 との間の接続点は、スイッチ用 T F T 4 7 を介してソース配線 S_j と接続されている。

この画素回路 A_{ij} を構成するスイッチ用 T F T 4 2, 4 3 のゲート端子には各々制御配線 C_i , G_i が、スイッチ用 T F T 4 6, 4 7 のゲート端子には制御配線 W_i が接続されている。

ソースドライバ回路 50 では、複数の画素回路 $A_{1j} \sim A_{nj}$ に対応して 1 つの出力端回路 D_j が配置されている。この出力端回路 D_j は、図 31 に示すように、信号線 T_j とソース配線 S_j との間に第 2 のスイッチ用トランジスタであるスイッチ用 T F T 51 が配置されている。また、信号線 T_j と所定電圧線 V_a の間には第 3 のスイッチ用トランジスタであるスイッチ用 T F T 49 が配置されている。

上記出力端回路 D_j において、スイッチ用 T F T 49 のゲート端子には制御配線 C_c が接続され、スイッチ用 T F T 51 のゲート端子には制御配線 B_c が接続されている。

上記表示装置の画素回路 A_{ij} および出力端回路 D_j における動作を、制御配線 W_i , G_i , C_i , C_c , B_c およびソース配線 S_j の動作タイミングを示す図 32 を参照して以下に説明する。

本実施の形態 5 に係る駆動方法では、画素回路 A_{ij} の選択期間である時間 $t_1 \sim 6t_1$ の間に、制御配線 W_i の電位を H_{igh} (GH) とし、スイッチ用 T F T 46 を OFF 状態とし、同時にスイッチ用 T F T 47 を ON 状態とする。また、時間 $t_1 \sim 5t_1$ の間に、制御配線 G_i の電位を H_{igh} (GH) とし、スイッチ用 T F T 43 を ON 状態とする。

画素回路 A_{ij} の選択期間の第 1 の期間 (時間 $t_1 \sim 2t_1$) では、制御配線 C_i の電位を H_{igh} とし、スイッチ T F T 42 を ON 状態とし、駆動用 T F T 41 のゲート端子をソース配線 S_j に電氣的に接続させる。これにより、駆動用 T F T 41 のゲート端子とドレイン端子とが、スイッチ用 T F T 42, 47 を通じて電氣的に接続され、電源配線 V_s から駆動用 T F T 41, スイッチ用 T F T 47, ソース配線 S_j を通し

て電流出力端 I_j より一定電流が流れる。

また、時間 $t_1 \sim 3t_1$ の間、出力端回路 D_j の制御配線 C_c の電位を H_{igh} として、スイッチ用 TFT_{49} を ON 状態とする。この結果、第2コンデンサ 45 の第2端子は、スイッチ用 TFT_{43} 、信号線 T_j 、
5 スwitch用 TFT_{49} を通じて所定電圧線 V_a へ接続される。

その後、この時のソース配線 S_j 電位を第1コンデンサ 44 および第2コンデンサ 45 を用いて保持するために、制御配線 C_i の電位を L_{ow} としてスイッチ用 TFT_{42} を OFF 状態とする。

このとき、第1コンデンサ 44 および第2コンデンサ 45 により、駆
10 動用 TFT_{41} のゲート端子電位は、該駆動用 TFT_{41} の閾値電圧・移動度に依らず、第2コンデンサ 45 の第2端子電位が V_a のとき、先の一定電流（上記第1の期間で駆動用 TFT_{41} のソース・ドレイン間に流れた電流）が流れるような電荷が保持される。その後制御配線 C_c を L_{ow} として、スイッチ用 TFT_{49} を OFF 状態とする。

次に、第2の期間（時間 $4t_1 \sim 5t_1$ ）では、制御配線 B_c の電位
15 を H_{igh} として、スイッチ用 TFT_{51} を ON 状態とする。この結果、第2コンデンサ 45 の第2端子は、スイッチ用 TFT_{43} 、 51 、 47 を通じて駆動用 TFT_{41} のドレイン端子と接続される。このとき、電源配線 V_s から駆動用 TFT_{41} 、スイッチ用 TFT_{47} 、ソース配線
20 S_j を通じて電流出力端 I_j より所望の電流が流される。

これにより、上記第2の期間では、駆動用 TFT_{41} の閾値電圧・移動度に依らず、駆動用 TFT_{41} のソース・ドレイン間電位が上記電位 $V_s - V_a$ のとき、駆動用 TFT_{41} に上記電流（上記第1の期間で駆動用 TFT_{41} のソース・ドレイン間に流れた電流）を流すよう設定さ

れる。そして、駆動用 T F T 4 1 へ所望の電流を流すことで、駆動用 T F T 4 1 のソース・ドレイン間電位が概ね一定の条件で駆動用 T F T のゲート・ソース間電位を設定できる。

この第 2 の期間での駆動用 T F T 4 1 のソース・ゲート間電位は、その後、時間 5 t 1 で、制御配線 G i の電位を L o w とし、スイッチ用 T F T 4 3 を O F F 状態とすることで、第 1 コンデンサ 4 4 および第 2 コンデンサ 4 5 に保持される。

その後、時間 6 t 1 で、制御配線 B c の電位を L o w とし、スイッチ用 T F T 5 1 を O F F 状態とすることで信号線 T j とソース配線 S j との電氣的接続を遮断する。更に、制御配線 W i の電位を L o w とし、スイッチ用 T F T 4 7 を O F F 状態とし、スイッチ用 T F T 4 6 を O N 状態として駆動用 T F T 4 1 から有機 E L 素子 4 8 へ電流を流す状態とする。

以上で、画素回路 A i j の選択期間が終わり、次の画素回路 A (i + 1) j の選択期間になる。

上記図 3 1 に示す画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機 E L 素子 4 8 を流れる電流値をシミュレーションで求めた結果を図 3 3 に示す。

図 3 3 におけるシミュレーションでは、0 . 2 7 m s 毎に選択期間が来るよう設定し、最初の時間 0 . 3 0 m s ~ 0 . 5 7 m s の間でソース配線 S j へ電流値 0 . 9 μ A が流れるよう設定した。それ以降は時間 0 . 2 7 m s 毎に、ソース配線 S j へ流れる電流値を - 0 . 1 μ A 刻みで 0 μ A まで減少させ、その後再び 0 . 9 μ A に戻るよう設定した。

本実施の形態 5 に係るシミュレーション結果（特に時間 0 . 3 0 m s

から 1.9 ms の結果) と従来の技術で示した図 25 のシミュレーション結果とを比較すれば判る通り、本実施の形態 5 のようにソースドライバ出力端回路 D_j に第 2 のスイッチ用トランジスタと第 3 のスイッチ用トランジスタを配置した構成でも、駆動用 T F T 41 の閾値電圧・移動度のばらつきの影響を弱め、非選択期間に有機 E L 素子 48 に流れる電流値のばらつきを抑えることができる。

〔実施の形態 6〕

本実施の形態 6 では、本発明に係る第 2 の特徴的構成を画素回路において適用した場合について説明する。

本実施の形態 6 に係る表示装置は、図 34 に示すように、その各画素回路 A_{i j} において、電源配線 V_s と共通配線 V_{c o m} との間に駆動用トランジスタである駆動用 T F T 63 と電気光学素子である有機 E L 素子 69 とを直列に配置している。

駆動用 T F T 63 のゲート端子（電流制御端子）は、第 1 のスイッチ用トランジスタであるスイッチ用 T F T 64 を介してソース配線 S_j と接続されている。また、駆動用 T F T 63 のゲート端子には第 1 コンデンサ 68 および第 2 コンデンサ 67 のそれぞれにおける一方の端子（第 1 端子とする）が接続されている。第 1 コンデンサ 68 のもう一方の端子（第 2 端子とする）は、駆動用 T F T 63 のドレイン端子（電流出力端子）および有機 E L 素子 69 の陽極へ接続されている。第 2 コンデンサ 67 のもう一方の端子（第 2 端子とする）は、第 3 のスイッチ用トランジスタであるスイッチ用 T F T 65 を介して電源配線（所定電圧線）V_s に接続され、第 2 のスイッチ用トランジスタであるスイッチ用 T F T 66 を介してソース配線 S_j に接続されている。

スイッチ用 T F T 6 4 およびスイッチ用 T F T 6 5 のゲート端子は制御配線 C i に接続されており、スイッチ用 T F T 6 6 のゲート端子は制御配線 G i に接続されている。

駆動用 T F T 6 3 のソース端子（電流入力端子）と電源配線 V s との間にはスイッチ用 T F T 6 1 が配置されており、該スイッチ用 T F T 6 1 のゲート端子は制御配線 R i に接続されている。駆動用 T F T 6 3 とスイッチ用 T F T 6 1 との間の接続点は、スイッチ用 T F T 6 2 を介してソース配線 S j と接続されており、該スイッチ用 T F T 6 2 のゲート端子は制御配線 W i に接続されている。

これら制御配線 C i , G i , W i のうち何れを第 2 の配線（ゲート配線）としても良いし、これらスイッチ用 T F T 6 2 , 6 4 , 6 6 のうち何れを選択用 T F T としても良い。

この回路構成では、駆動用 T F T 6 3 のゲート端子は、スイッチ用 T F T 6 4 、ソース配線 S j およびスイッチ用 T F T 6 2 を介して駆動用 T F T 6 3 のソース端子へ接続される。また、第 2 コンデンサ 6 7 の第 2 端子は、スイッチ用 T F T 6 6 、ソース配線 S j およびスイッチ用 T F T 6 2 を介して駆動用 T F T 6 3 のソース端子へ接続される。

上記表示装置の画素回路 A i j における動作を、制御配線 R i , W i , C i , G i およびソース配線 S j の動作タイミングを示す図 3 5 を参照して以下に説明する。

本実施の形態 6 に係る駆動方法では、選択期間である時間 0 ~ 6 t 1 の間に、制御配線 R i の電位を H i g h (G H) としてスイッチ用 T F T 6 1 を O F F 状態とし、時間 t 1 ~ 5 t 1 の間に制御配線 W i の電位を L o w (G L) としてスイッチ用 T F T 6 2 を O N 状態とする。

60

そして、第1の期間（時間 $t_1 \sim 2t_1$ ）において、制御配線 C_i の電位を Low として、スイッチ用 $TFT_{64 \cdot 65}$ を ON 状態とする。この結果、駆動用 TFT_{63} のゲート端子とソース端子とはスイッチ用 $TFT_{64 \cdot 62}$ を通じて接続される。また、第2コンデンサ 67 の第2端子は、スイッチ用 TFT_{65} を通じて電源線（所定電圧線） V_s へ接続される。このとき、図示しないソースドライバ回路からソース配線 S_j 、スイッチ用 TFT_{62} 、駆動用 TFT_{63} を通じて有機 EL 素子 69 へ向け一定電流が流される。

その後（時間 $2t_1$ 以降）、制御配線 C_i の電位を $High$ としてスイッチ用 $TFT_{64 \cdot 65}$ を OFF 状態とする。このとき、上記第1の期間で設定されたソース配線 S_j の電位は、第1コンデンサ 68 および第2コンデンサ 67 を用いて保持される。

次に、第2の期間（時間 $3t_1 \sim 4t_1$ ）において、制御配線 G_i の電位を Low として、スイッチ用 TFT_{66} を ON 状態とする。この結果、第2コンデンサ 67 の第2端子は、スイッチ用 $TFT_{66 \cdot 62}$ を通じて駆動用 TFT_{63} のソース端子と接続される。このとき、図示しないソースドライバ回路からソース配線 S_j 、スイッチ用 TFT_{62} 、駆動用 TFT_{63} を通じて、有機 EL 素子 69 へ向け所望の電流が流れる。

上記第2の期間で設定された駆動用 TFT_{63} のドレイン・ゲート間電位は、その後（時間 $4t_1$ 以降）、制御配線 G_i の電位を $High$ としスイッチ用 TFT_{66} を OFF 状態とすることで、第1コンデンサ 68 および第2コンデンサ 67 に保持される。

その後、制御配線 W_i の電位を $High$ としてスイッチ用 TFT_{62}

をOFF状態として、制御配線R_iの電位をLowとしてスイッチ用TFT61をON状態とする。

以上でこの画素回路A_{ij}の選択期間が終わり、次の画素回路A(*i* + 1) _jの選択期間になる。

5 なお、図34に示すソースドライバ出力端回路D_jでは、OFF電位線V_{off}とソース配線S_jとの間に第4のスイッチ用トランジスタであるスイッチ用TFT70が配置されている。

10 そしてこのスイッチ用TFT70のゲート端子には制御配線E_jが接続され、選択された有機EL素子69の電流値を0とする場合、図35に示されるように、上記第2の期間(9t₁ ~ 11t₁)で制御配線E_jをHighとして、スイッチ用TFT70をON状態とする。このとき、ソース配線S_jとソースドライバの電流出力回路との接続をオープン状態として、OFF電位線V_{off}よりソース配線へOFF電位を供給する。

15 このOFF電位は共通電極電位V_{com}と同等かより低い電位とするので、スイッチ用TFT62を通してこの電位が駆動用TFT63のソース電位となるか、またはスイッチ用TFT62がOFF状態となることで、駆動用TFT63のゲート電位がソース端子より放電され、駆動用TFT63のゲート電位は第1期間の電位より低下し、駆動用TFT63はOFF状態となる。

20 上記図34に示す画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機EL素子69を流れる電流値をシミュレーションで求めた結果を図36に示す。

図36におけるシミュレーションでは、1.08ms毎に選択期間が

来るよう設定し、最初の時間 $2.30\text{ ms} \sim 3.38\text{ ms}$ の間でソース配線 S_j へ電流値 $1.1\text{ }\mu\text{ A}$ が流れるよう設定した。それ以降は時間 1.08 ms 毎に、ソース配線 S_j へ流れる電流値を $-0.12\text{ }\mu\text{ A}$ 刻みで $0\text{ }\mu\text{ A}$ まで減少させ、その後再び $1.1\text{ }\mu\text{ A}$ に戻した。

5 本実施の形態 6 に係るシミュレーション結果と従来の技術で示した図 25 のシミュレーション結果とを比較すれば判る通り、本実施の形態 6 のように駆動用トランジスタの電流制御端子と電流入力端子を制御する構成でも、駆動用 T F T 63 の閾値電圧・移動度のばらつきの影響を弱め、非選択期間に有機 E L 素子 69 に流れる電流値のばらつきを抑える
10 ことができる。

 なお、図 1 の画素回路構成では第 2 コンデンサ 7 の第 2 端子へ所定電位 V_a を与えるため電源配線 V_a が配置されていた。しかし、本発明に係る第 2 の特徴的構成を画素回路において適用した場合、所定電位配線を電源配線 V_s と共通化できるので、図 34 に示したよう電源配線 V_a
15 がなくても済む。

 また、図 37 に示すように、本発明の手段を構成する駆動用 T F T、第 1 コンデンサ、第 2 コンデンサ、第 1 スイッチ用トランジスタ、第 2 スイッチ用トランジスタ、および第 3 スイッチ用トランジスタの一部をソースドライバ回路側に配置することも可能である。

20 即ち、図 37 の画素回路構成 A i j で、第 1 コンデンサ 98 が駆動用 T F T 94 のゲート・ドレイン間に配置され、駆動用 T F T 94 のゲート端子とソース配線 S_j の間には第 1 スイッチ用 T F T 95 が配置され、駆動用 T F T 94 のゲート端子と信号線 T_j の間には第 2 コンデンサ 97 とスイッチ用 T F T 93 とが直列に配置されている。また、駆動用 T

F T 9 4 のドレイン端子と共通電極 V c o m の間には有機 E L 素子 9 6 が配置され、駆動用 T F T 9 4 のソース端子と電源配線 V s との間にはスイッチ用 T F T 9 1 が配置され、駆動用 T F T 9 4 のソース端子とソース配線 S j の間にはスイッチ用 T F T 9 2 が配置されている。

5 また、ソースドライバ出力端回路 D j では、信号線 T j とソース配線 S j の間に第 2 スイッチ用トランジスタであるスイッチ用 T F T 1 0 0 が配置され、信号線 T j と所定電圧線 V b の間には第 3 スイッチ用トランジスタであるスイッチ用 T F T 9 9 が配置されている。

10 この画素回路 A i j 及びソースドライバ出力端回路 D j を用いた駆動タイミングは図 3 1 に示した画素回路同様、図 3 2 に示すようなものとなるので、その説明は省略する。

〔実施の形態 7〕

本実施の形態 7 では、本発明に係る第 2 の特徴的構成を画素回路およびソースドライバ回路において適用した場合の別の例について説明する。

15 本実施の形態 7 に係る表示装置も、本発明の特徴的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成である。このため、上記表示装置は、実施の形態 2 と同様に図 7 に示すような構成となり、ここではその説明を省略する。

20 上記表示装置において、本発明の特徴的構成を含む画素回路 A i j とソースドライバ回路 5 0 の出力段であるソースドライバ出力端回路 D j との構成を図 3 8 に示す。

本実施の形態 7 に係る表示装置では、上記図 3 8 に示すように、ソース配線 S j とゲート配線 G i が交差する領域に画素回路 A i j が配置され、各画素回路 A i j には、アクティブ素子である駆動用 T F T 7 4 と

電気光学素子である有機EL素子76と第1コンデンサ75とが配置されている。この駆動用TFT74と有機EL素子76とは、電源配線Vsと共通配線Vcomの間に直列に配置されている。

そして、駆動用TFT74のゲート端子（電流制御端子）には第1コンデンサ75の一方の端子（第1端子とする）が接続され、第1コンデンサ75のもう一方の端子（第2端子とする）は駆動用TFT74のドレイン端子（電流出力端子）および有機EL素子76の陽極へ接続されている。

また、この画素回路構成では、ソース配線Sjに平行に第3の配線である信号線Tjが配置され、駆動用TFT74のゲート端子はスイッチ用TFT73を介して信号線Tjに接続している。

さらに、駆動用TFT74のソース端子（電流入力端子）と電源配線Vsとの間にはスイッチ用TFT71が配置されており、駆動用TFT74とスイッチ用TFT71との間の接続点は、スイッチ用TFT72を介してソース配線Sjと接続されている。

この画素回路Aijを構成するスイッチ用TFT73、72、71のゲート端子には各々制御配線Gi、Wi、Riが接続されている。

ソースドライバ回路50では、複数の画素回路A1j～Anjに対応して1つの出力端回路Djが配置されている。この出力端回路Djは、図38に示すように、信号線Tjに第2コンデンサ80の一方の端子（第1端子とする）が接続され、更に信号線Tjとソース配線Sjとの間に第1のスイッチ用トランジスタであるスイッチ用TFT77が配置されている。また、第2コンデンサ80のもう一方の端子（第2端子とする）と所定電圧線Vaの間には第3のスイッチ用トランジスタである

スイッチ用 T F T 7 8 が配置され、第 2 コンデンサ 8 0 の第 2 端子とソース配線 S j との間には第 2 のスイッチ用トランジスタであるスイッチ用 T F T 7 9 が配置されている。さらに、信号線 T j と O F F 電位線 V o f f との間には第 4 のスイッチ用トランジスタであるスイッチ用 T F T 8 1 が配置されている。

上記出力端回路 D j において、スイッチ用 T F T 8 1 のゲート端子には制御配線 E j が接続され、スイッチ用 T F T 7 7, 7 8 のゲート端子には制御配線 C c が接続され、スイッチ用 T F T 7 9 のゲート端子には制御配線 B c が接続されている。

上記表示装置の画素回路 A i j および出力端回路 D j における動作を、制御配線 R i, W i, G i, C c, B c, E j およびソース配線 S j の動作タイミングを示す図 3 9 を参照して以下に説明する。

本実施の形態 7 に係る駆動方法では、画素回路 A i j の選択期間である時間 0 ~ 6 t 1 の間に、制御配線 R i の電位を H i g h (G H) としてスイッチ用 T F T 7 1 を O F F 状態とする。また、時間 t 1 ~ 5 t 1 の間に、制御配線 W i の電位を L o w (G L) としてスイッチ用 T F T 7 2 を O N 状態とする。これにより、駆動用 T F T 7 4 のソース端子とソース配線 S j が接続された状態を作る。

また、画素回路 A i j では、時間 t 1 ~ 4 t 1 において、制御配線 G i の電位を L o w としてスイッチ用 T F T 7 3 を O N 状態とし、駆動用 T F T 7 4 のゲート端子を信号線 T j と電氣的に接続させる。これにより、駆動用 T F T 7 4 のゲート端子に第 1 コンデンサ 7 5 および第 2 コンデンサ 8 0 が接続された状態を作る。

出力端回路 D j では第 1 の期間（時間 t 1 ~ 2 t 1 ）において、制御

配線Ccの電位をHighとして、スイッチ用TFT77, 78をON状態とする。この結果、駆動用TFT74のゲート端子とソース端子とが、スイッチ用TFT73, 77, 72を通じて電氣的に接続される。また、第2コンデンサ80の第2端子は、スイッチ用TFT78を通じて所定電圧線Vaへ接続される。このとき、図示しないソースドライバ回路からソース配線Sj, スイッチ用TFT72, 駆動用TFT74を通して有機EL素子76へ一定電流が流れる。

その後、制御配線Ccの電位をLowとしてスイッチ用TFT77, 78をOFF状態として、このときの信号線Tjの電位を第1コンデンサ75および第2コンデンサ80を用いて保持する。

このとき、第1コンデンサ75および第2コンデンサ80に貯められた電荷により、駆動用TFT74のゲートでは、該駆動用TFT74の閾値電圧・移動度に依らず、第2コンデンサ80の第2端子電位がVaのとき、先の一定電流（上記第1の期間で駆動用TFT74のソース・ドレイン間に流れた電流）が流れるような電位が保持される。

次に、第2の期間（時間3t1～4t1）では、制御配線Bcの電位をHighとして、スイッチ用TFT79をON状態とする。この結果、第2コンデンサ80の第2端子は、スイッチ用TFT79, 72を通じて駆動用TFT74のソース端子と接続される。このとき、図示しないソースドライバ回路からソース配線Sj, スイッチ用TFT72, 駆動用TFT74を通して有機EL素子76へ所望の電流が流される。

これにより、上記第2の期間では、駆動用TFT74の閾値電圧・移動度に依らず、駆動用TFT74のソース・ドレイン間電位が上記電位Va-Vx（Vxは上記第2の期間における有機EL素子76の陽極電

位) のとき、駆動用 T F T 7 4 に上記電流 (上記第 1 の期間で駆動用 T F T 7 4 のソース・ドレイン間に流れた電流) を流すよう設定される。そして、駆動用 T F T 7 4 へ所望の電流を流すことで、駆動用 T F T 7 4 のソース・ドレイン間電位が概ね一定の条件で駆動用 T F T のゲート・ソース間電位を設定できる。

この第 2 の期間での駆動用 T F T 7 4 のドレイン・ゲート間電位は、その後、時間 4 t 1 で、制御配線 G i の電位を H i g h とし、スイッチ用 T F T 7 3 を O F F 状態とすることで、第 1 コンデンサ 7 5 に保持される。

その後、時間 5 t 1 で、制御配線 B c の電位を L o w としてスイッチ用 T F T 7 9 を O F F 状態とすることで第 2 コンデンサ 8 0 とソース配線 S j との電氣的接続を遮断し、制御配線 W i の電位を H i g h としてスイッチ用 T F T 7 2 を O F F 状態とすることで駆動用 T F T 7 4 のソース端子とソース配線 S j との電氣的接続を遮断する。さらに、時間 6 t 1 で、制御配線 R i の電位を L o w としてスイッチ用 T F T 7 1 を O N 状態として駆動用 T F T 7 4 から有機 E L 素子 7 6 へ電流を流す状態とする。

以上で、画素回路 A i j の選択期間が終わり、次の画素回路 A (i + 1) j の選択期間になる。

また、図 3 9 における 9 t 1 ~ 1 1 t 1 に示す期間で、制御配線 E j の電位を H i g h としてスイッチ用 T F T 8 1 を O N 状態とし、信号線 T j へ O F F 電位 V o f f を供給することによって信号線 T j を O F F 電位とすることで、非選択期間における有機 E L 素子 7 6 の電流値をほぼ 0 とできる。またこの間、制御配線 C c の電位は L o w , 制御配線 B

c の電位は H i g h とする。

この画素回路構成およびソースドライバ回路の出力端回路構成を用いて、有機 E L 素子 76 を流れる電流値をシミュレーションで求めた結果、実施の形態 6 と同様の結果を得た。

5 〔実施の形態 8〕

本実施の形態 8 では、本発明に係る駆動方法の特徴的動作を説明する。本実施の形態 8 の駆動方法は、実施の形態 2 で示したように本発明の構
10 特徴的構成部分を、画素回路とソースドライバ回路とに分割して配置した構成において生じる問題点を解決するものである。先ずは、この問題点について説明する。

実際の表示装置では、図 8 に示した画素回路 A i j とソースドライバ
出力端回路 D j との間に配置したソース配線 S j 及び信号線 T j に浮遊
容量が存在する。この浮遊容量の値を 5 p F と仮定して、図 8 の画素回
路 A i j の駆動用 T F T 1 1 を流れる電流 I p とソース・ドレイン間電
15 位 V s d との変化をシミュレーションした結果を図 40 に示す。

即ち、図 40 では、時間 0 . 9 9 2 ~ 1 . 0 8 0 m s まだが選択期間
であり、この間は、制御配線 R i を H i g h とし、スイッチ用 T F T 1
3 を O F F とし、制御配線 W i を L o w とし、スイッチ用 T F T 1 4 を
O N とする。また、時間 0 . 9 9 2 ~ 1 . 0 2 4 m s まだが本発明の駆
20 動方法の第 1 の期間であり、この期間は、ゲート配線 G i を H i g h と
してスイッチ用 T F T 1 5 を O N 状態とし、制御配線 C j を H i g h と
してスイッチ用 T F T 2 2 , 2 3 を O N 状態とする。

このことにより、駆動用 T F T 1 1 のゲート・ドレイン間を短絡し、
ゲート端子にコンデンサ 1 2 , 2 5 を接続し、コンデンサ 2 5 の第 2 端

子を所定電圧線 V_a に接続する。このとき、駆動用 T F T 1 1 のゲート・ソース間電位 V_{sd} が安定するまでに $20 \mu s$ 程度掛かっている。その後、制御配線 C_j を Low としてスイッチ用 T F T 2 2, 2 3 を OFF 状態として、第 1 の期間を終了する。

5 また、時間 $1.034 \sim 1.074 ms$ までが本発明の駆動方法の第 2 の期間であり、この期間は、制御配線 B_j を $High$ として、スイッチ用 T F T 2 4 を ON 状態とする。

このとき、第 2 のコンデンサ 2 5 の第 2 端子電位は V_a に向かうので、このことにより駆動用 T F T 1 1 のソース・ドレイン間電位はほぼ $V_s - V_a$ となる。そして、このソース・ドレイン間電位をほぼ一定とした
10 状態で、駆動用 T F T 1 1 のソース・ゲート間電位を設定するので、駆動用 T F T 1 1 の閾値電圧・移動度特性に依らず一定の電流を流すよう設定できる。このとき、駆動用 T F T 1 1 のソース・ドレイン間を流れる電流 I_p が安定するまでに $30 \mu s$ 程度掛かっている。その後、ゲート配線 G_i を Low として、スイッチ用 T F T 1 5 を OFF 状態として、
15 選択期間を終了する。

その後の非選択期間では、時間 $1.096 ms$ 以降に示すように、駆動用 T F T 1 1 の閾値電圧・移動度特性に依らず、駆動用 T F T 1 1 のソース・ドレイン間の電位 V_{sd} 及び駆動用 T F T 1 1 のソース・ドレイン間を流れる電流 I_p が一定となる。
20

なお、図 40 において示しているソース・ドレイン間電位 V_{sd} (1) \sim V_{sd} (5)、およびソース・ドレイン間電流 I_p (1) \sim (5) のそれぞれは、駆動用 T F T 1 1 の閾値電圧・移動度の特性を表 2 に示す条件で変化させた結果である。

このように、本駆動方法を用いれば、駆動用TFT11の閾値電圧・移動度ばらつきに依らず均一な電流が有機EL素子16へ与えられるので、均一な表示が得られるといった効果がある。

しかしながら、そのために必要な選択期間は従来技術で示した図22の画素回路構成よりも長くなる。即ち、図22の画素回路構成では、必要な選択期間は図40の第1の期間だけで済むが、本発明の駆動方法では図40の第1の期間と第2の期間とを必要とする。そこで、本発明の駆動方法において選択期間を短くするためには、この第2の期間を短くする必要が生じる。

そのような駆動方法を実現するための回路構成を図41に示す。図41に示す回路構成は、図8同様、本発明の構成の第1の特徴的構成部分を、画素回路Aijとソースドライバ出力端回路Djとに分割した構成である。図41では、図8と同様の動作を行うコンデンサおよびTFT等については、図8と同一の部材番号を付し、その詳細な説明は省略する。

図41の回路構成では、上記ソース配線Sj及び信号線Tjに存在する浮遊容量をコンデンサ17, 18として記載している。また、信号線TjにはTFT19, 20からなる保護回路を設けている。

この保護回路は、n型TFT19を信号線Tjと電源配線Vsとの間に設け、p型TFT20を信号線Tjと共通配線Vcomとの間に設けたものである。またTFT19, 20のゲート端子には各々電位DL, DHを与える。

このことにより、信号線Tjの電位がDL（正確には電位DL-TFT19の閾値電位）より低くなると、信号線Tjへ電源配線Vsから電

流が流れ、その電位がそれ以上低くならないように保護される。逆に信号線 T_j の電位が DH （正確には電位 $DH + T_{FT20}$ の閾値電位）より高くなると、信号線 T_j から共通配線 V_{com} へ電流が流れ、その電位がそれ以上高くないように保護される。

5 また、図41の回路構成では、第1のスイッチング素子であるスイッチ用 T_{FT22} と第3のスイッチング素子であるスイッチ用 T_{FT23} とのゲート端子配線を分離し、これらのゲート配線を各々制御配線 C_c , F_c と接続する。その他、信号配線 B_j を B_c としている点に図8との違いがあるが、これは信号配線 B_j をソース配線 S_j によらない共通配線とすることを意味している。

10 この、図41の画素回路 A_{ij} および出力端回路 D_j における動作を、制御配線 G_i , W_i , C_c , B_c , F_c , E_j およびソース配線 S_j の動作タイミングを用いて図42に示す。

15 即ち、画素回路 A_{ij} の選択期間である時間 $t_1 \sim 8t_1$ の間に、制御配線 W_i の電位を H_{igh} (GH) としてスイッチ用 T_{FT13} を OFF 状態とし、スイッチ用 T_{FT14} を ON 状態とする。

20 画素回路 A_{ij} では、第1の期間（時間 $t_1 \sim 4t_1$ ）において、制御配線 G_i の電位を H_{igh} としてスイッチ T_{FT15} を ON 状態とし、駆動用 T_{FT11} のゲート端子を信号線 T_j と電氣的に接続させる。これにより、駆動用 T_{FT11} のゲート端子に第1コンデンサ12および第2コンデンサ25とが接続された状態を作る。

 これと前後し、出力端回路 D_j では、制御配線 C_c の電位を H_{igh} として、スイッチ用 T_{FT22} を ON 状態とする。また制御配線 F_c の電位も H_{igh} としてスイッチ用 T_{FT23} を ON 状態とする。この結

果、駆動用 T F T 1 1 のゲート端子とドレイン端子とが、スイッチ用 T F T 1 5 , 2 2 , 1 4 を通じて電氣的に接続される。また、第 2 コンデンサ 2 5 の第 2 端子は、スイッチ用 T F T 2 3 を通じて所定電圧線 V a へ接続される。このとき、電源配線 V s から駆動用 T F T 1 1 , スイッチ用 T F T 1 4 , ソース配線 S j を通して電流出力端 I j より一定電流が流れる。

その後、このときのソース配線 S j の電位を第 1 コンデンサ 1 2 および第 2 コンデンサ 2 5 を用いて保持するために、時間 4 t 1 にて制御配線 C c の電位を L o w としてスイッチ用 T F T 2 2 を O F F 状態とする。

このとき、第 1 コンデンサ 1 2 および第 2 コンデンサ 2 5 により、駆動用 T F T 1 1 のゲート端子では、該駆動用 T F T 1 1 の閾値電圧・移動度に依らず、第 2 コンデンサ 2 5 の第 2 端子電位が V a のとき、先の一定電流（上記第 1 の期間で駆動用 T F T 1 1 のソース・ドレイン間に流れた電流）が流れるような電位が保持される。

次に、第 2 の期間（時間 5 t 1 ~ 7 t 1）では、制御配線 B c の電位を H i g h として、スイッチ用 T F T 2 4 を O N 状態とする。この結果、第 2 コンデンサ 2 5 の第 2 端子は、スイッチ用 T F T 2 4 , 1 4 を通じて駆動用 T F T 1 1 のドレイン端子と接続される。このとき、電源配線 V s から駆動用 T F T 1 1 , スイッチ用 T F T 1 4 , ソース配線 S j を通じて電流出力端 I j より所望の電流が流される。

しかしながら、図 4 2 に示す本駆動方法では、制御配線 F c を時間 t 1 ~ 6 t 1 まで H i g h として、第 2 の期間に入ってもスイッチ用 T F T 2 3 を O N としている。このことにより、図 9 に示した駆動方法とは異なり、第 2 の期間である時間 5 t 1 ~ 7 t 1 のうち最初の 5 t 1 ~ 6

t₁の間も、第2コンデンサ25の第2端子へ所定電圧配線V_aより電圧が供給される。そして、この電流がソース配線S_jの電位をV_aとする（駆動用TFT11は一定電流を流すようセットされているので、電源配線V_sと所定電圧配線V_aの間を流れる電流は上記一定電流のみとなる）。

このように、図42に示す駆動方法では、予めソース配線S_jの電位をV_aとしてから、制御配線F_cをLowとしてスイッチ用TFT23をOFFとする。そして、第2の期間の残り時間6t₁～7t₁でソース配線S_jの電位が駆動用TFT11の閾値電圧・移動度特性に合わせて変化し、駆動用TFT11のソース・ドレイン間電位が概ね一定の条件で駆動用TFTのゲート・ソース間電位を設定できる。

この第2の期間での駆動用TFT11のソース・ゲート間電位は、その後、時間7t₁で、制御配線G_iの電位をLowとし、スイッチ用TFT15をOFF状態とすることで、第1コンデンサ12に保持される。

その後、時間8t₁で、制御配線B_cの電位をLowとしてスイッチ用TFT24をOFF状態とすることで第2コンデンサ25とソース配線S_jとの電氣的接続を遮断し、制御配線W_iの電位をLowとしてスイッチ用TFT14をOFF状態、スイッチ用TFT13をON状態として駆動用TFT11から有機EL素子16へ電流を流す状態とする。

このように図42の駆動方法では、図9の駆動方法とは異なり、第2の期間である時間5t₁～7t₁のうち最初の5t₁～6t₁の間も、第2コンデンサ25の第2端子へ所定電圧配線V_aより電圧を供給する。このことにより、図43にそのシミュレーション結果を示すように、第2の期間の最初から駆動用TFT11のソース・ドレイン間電位V_{s d}

及び駆動用 T F T 1 1 のソース・ドレイン間を流れる電流 I_p がほぼ一定となる。

その後、駆動用 T F T 1 1 の閾値電圧・移動度特性を補正するよう駆動用 T F T 1 1 のソース・ゲート間電位 V_{sg} が（それにつれて駆動用 T F T 1 1 のソース・ドレイン間電位 V_{sd} が）変位し、その電位をゲート配線 G_i を Low とすることで、第 1 コンデンサ 1 2 に保持し、非選択期間に駆動用 T F T 1 1 の閾値電圧・移動度ばらつきに依らず均一な電流が有機 E L 素子 1 6 へ与えられるようにする。

この、図 4 3 のシミュレーションにおいて、第 2 の期間は時間 0 . 6 1 8 ~ 0 . 6 3 4 までの $16 \mu s$ であり、更にその最初の $8 \mu s$ の間、上記第 2 コンデンサ 2 5 の第 2 端子が所定電位配線 V_a と短絡されていることを考えると、図 9 の駆動方法に比べ図 4 2 の駆動方法の方が第 2 の期間を短くできることが分かる。

更に、本発明の駆動方法では、第 1 の期間を駆動用 T F T 1 1 のゲート・ソース間電位 V_{sd} が安定するまで延ばす必要はない。

何故なら、本発明の画素回路構成で、第 1 の期間が終了した時に期待されるバラツキは従来技術の図 2 2 の画素回路構成と変わらない。そして、第 2 の期間でソース配線 S_j 電位を V_a としている時も、概ね期待されるバラツキは従来技術の図 2 2 の画素回路構成と変わらない。その後、第 2 の期間でソース配線 S_j 電位が V_a から変化しているときのバラツキは従来技術の図 2 2 の画素回路構成よりも少なくなる。

したがって、駆動用 T F T 1 1 のゲート・ソース間電位 V_{sd} が多少ばらついた状態で第 1 の期間を終了しても第 2 の期間でそのばらつきを補正することにより、非選択期間に駆動用 T F T 1 1 の閾値電圧・移動

度ばらつきに依らず均一な電流が有機EL素子16へ与えられるようにできる。

このように、本発明の駆動方法の好ましい駆動例では、第2期間の長さを短くし、必要とする選択期間を短くできるので、より多くのゲート配線Giを駆動でき、より多くの画素数を表示できるので、その効果は明らかである。

〔実施の形態9〕

上記図8の回路構成では選択時間が長くなるといった問題点を解決する別の手段として、本発明に係る第1の特徴的構成を適用した画素回路およびソースドライバ回路において、第2コンデンサを画素回路の近くに配置することが有効である。

そのような回路構成として、図44に示す画素回路Aijおよびソースドライバ出力端回路Djおよびその他の回路Bijがある。図44では、図8と同様の動作を行うコンデンサおよびTFET等については、図8と同一の部材番号を付し、その詳細な説明は省略する。

図44の回路構成では、2つの画素回路Aij, A(i+1)j毎に、第2のコンデンサ27およびスイッチ用TFET26から構成される1つのその他の回路Bijを配置する。そして、画素回路Aij, A(i+1)jの駆動用TFET11のゲート端子と第2コンデンサ27の第1端子との間にスイッチ用TFET25を配置する。

このことにより、駆動用TFET11のゲート端子と第2コンデンサ27とを繋ぐ配線を短くし、その配線の浮遊容量を抑え、第2コンデンサ27の容量が小さくても十分な効果を上げることができるようになる。即ち、図41の第2コンデンサ25の容量は2pF程度にしているのに

対し、図44の第2コンデンサ27の容量は第1コンデンサ12と同じ1pFとしている。

この図44に示す回路構成の動作を、制御配線 G_i 、 W_i 、 P_i 、 G_{i+1} 、 W_{i+1} 、 F_c 、 B_c およびソース配線 S_j の動作タイミングを用いて図45に示す。

即ち、図45の駆動タイミングでは、画素回路 A_{ij} の選択期間である時間 $t_1 \sim 8t_1$ の間に、制御配線 W_i の電位をHigh (GH)としてスイッチ用TFT13をOFF状態とし、スイッチ用TFT14をON状態とする。

そして、第1の期間（時間 $t_1 \sim 4t_1$ ）において、ゲート配線 G_i の電位をHighとして、スイッチ用TFT25をON状態とする。また、制御配線 F_c の電位をHighとして、ソースドライバ出力端回路 D_j におけるスイッチ用TFT28をON状態とする。更に、制御配線 P_i の電位をHighとして、スイッチ用TFT26をON状態とする。

この結果、駆動用TFT11のゲート端子とドレイン端子とはスイッチ用TFT25・26・14を通じて電氣的に接続される。また、第2コンデンサ27の第2端子は、信号線 T_j 、スイッチ用TFT28を通じて所定電圧線 V_a へ電氣的に接続される。そしてこのとき、電源配線 V_s から駆動用TFT11、スイッチ用TFT14、ソース配線 S_j を通じて、電流出力端 I_j より一定電流が流れる。

その後（時間 $4t_1$ 以降）、制御配線 P_i の電位をLowとしてスイッチ用TFT26をOFF状態とする。このとき、上記第1の期間で設定されたソース配線 S_j の電位は、第1コンデンサ12および第2コンデンサ27を用いて保持される。

第2の期間（時間 $5t_1 \sim 7t_1$ ）では制御配線 B_c の電位を H_{igh} として、ソースドライバ出力端回路 D_j におけるスイッチ用 TFT_{29} を ON 状態とする。また、制御配線 F_c は第2の期間の最初（時間 $5t_1 \sim 6t_1$ ）まで H_{igh} 状態を保ち、ソース配線 S_j の電位を所定電位 V_a とする。

その後、第2の期間の残り（時間 $6t_1 \sim 7t_1$ ）で駆動用 TFT_{11} のソース・ドレイン間を流れる電流 I_p が安定するまで待ち、ゲート配線 G_i の電位を L_{ow} として、スイッチ用 TFT_{27} を OFF 状態とする。その後、制御配線 B_c の電位を L_{ow} として、スイッチ用 TFT_{29} を OFF 状態として、画素 $A(i+1)_j$ の選択期間に入る。

即ち、図44の駆動タイミングでは、画素 $A(i+1)_j$ の選択期間である時間 $9t_1 \sim 16t_1$ の間に、制御配線 W_{i+1} の電位を H_{igh} (GH) としてスイッチ用 TFT_{13} を OFF 状態とし、スイッチ用 TFT_{14} を ON 状態とする。

そして、第1の期間（時間 $9t_1 \sim 12t_1$ ）において、ゲート配線 G_{i+1} の電位を H_{igh} として、スイッチ用 TFT_{25} を ON 状態とする。また、制御配線 F_c の電位を H_{igh} として、スイッチ用 TFT_{28} を ON 状態とする。更に、制御配線 P_i の電位を H_{igh} として、スイッチ用 TFT_{26} を ON 状態とする。

この結果、駆動用 TFT_{11} のゲート端子とドレイン端子とはスイッチ用 $TFT_{25} \cdot 26 \cdot 14$ を通じて接続される。また、第2コンデンサ 27 の第2端子は、信号線 T_j ，スイッチ用 TFT_{28} を通じて所定電圧線 V_a へ接続される。そしてこのとき、電源配線 V_s から駆動用 TFT_{11} 、スイッチ用 TFT_{14} 、ソース配線 S_j を通じて、電流出力

端 I_j より一定電流が流れる。

その後（時間 $12t_1$ 以降）、制御配線 P_i の電位を Low としてスイッチ用 TFT_{26} を OFF 状態とする。このとき、上記第1の期間で設定されたソース配線 S_j の電位は、第1コンデンサ 12 および第2コンデンサ 27 を用いて保持される。

第2の期間（時間 $13t_1 \sim 15t_1$ ）では制御配線 B_c の電位を $High$ として、スイッチ用 TFT_{29} を ON 状態とする。また、制御配線 F_c は第2の期間の最初（時間 $13t_1 \sim 14t_1$ ）まで $High$ 状態を保ち、ソース配線 S_j の電位を所定電位 V_a とする。

その後、第2の期間の残り（時間 $14t_1 \sim 15t_1$ ）で駆動用 TFT_{11} のソース・ドレイン間を流れる電流 I_p が安定するまで待ち、ゲート配線 G_i の電位を Low として、スイッチ用 TFT_{27} を OFF 状態とする。

このように、2つの画素 A_{ij} , $A(i+1)_j$ 毎にその他の回路 B_{ij} を配置することで、本発明の手段を構成できる。

また、駆動用 TFT_{11} のゲート端子と第2コンデンサ 27 との間の配線を短くすることで、その配線の浮遊容量を抑え、第2コンデンサ 27 の容量が小さくても本発明の手段の効果（駆動用 TFT_{11} の閾値電圧・移動度特性のばらつきに依らず、駆動用 TFT_{11} から有機 EL_{16} へ与える電流を一定とする効果）を実現できる。

また、図1の画素回路構成に比べ、2つの画素 A_{ij} , $A(i+1)_j$ 当たりに必要な第2のコンデンサ 27 およびスイッチ用 TFT_{26} の数を減らせるので、その分開口率を増やせる等の効果がある。

上記各実施の形態において用いた有機 EL は高分子有機 EL である。

有機EL素子を低分子有機ELで形成するときはマスク蒸着が必要であるが、高分子有機ELで形成するときはインクジェットプロセスが用いられる。後者の場合、疎水性のバンクを形成し、その中に駆動用TFT毎に対応した親水性の穴を形成するが、この穴は必ずしも1画素毎に別

5 れている必要はなく、複数のRGB各色画素が共通の穴に配置されていても良い。特に、穴をストライプ状に形成し、その両端に液滴の受け皿を設ければ、RGBの画素ピッチに依らず、液滴受け皿のサイズを決められるので好ましい。

10 産業上の利用の可能性

有機EL (Electro Luminescence) ディスプレイやFED (Field Emission Display) 等の電流駆動素子を用いた表示装置に適用でき、非選択期間の電流駆動素子を通る電流値ばらつきを抑えて表示品位を向上させることができる。

請 求 の 範 囲

1. 電流駆動発光素子と、駆動用トランジスタとを含む表示装置において、

5 上記駆動用トランジスタの電流制御端子と電流出力端子との間に接続される第1スイッチ用トランジスタと、

上記駆動用トランジスタの電流制御端子に接続される第1コンデンサと、

10 上記駆動用トランジスタの電流制御端子に一方の端子である第1端子が接続され、もう一方の端子である第2端子は、駆動用トランジスタの電流出力端子との間に第2スイッチ用トランジスタを介して接続され、かつ所定電圧線との間に第3スイッチ用トランジスタを介して接続されている第2コンデンサとを備えている表示装置。

15 2. 電流駆動発光素子と、駆動用トランジスタとを含む表示装置において、

上記駆動用トランジスタの電流制御端子と電流入力端子との間に接続される第1スイッチ用トランジスタと、

上記駆動用トランジスタの電流制御端子に接続される第1コンデンサと、

20 上記駆動用トランジスタの電流制御端子に一方の端子である第1端子が接続され、もう一方の端子である第2端子は、駆動用トランジスタの電流入力端子との間に第2スイッチ用トランジスタを介して接続され、かつ所定電圧線との間に第3スイッチ用トランジスタを介して接続されている第2コンデンサとを備えている表示装置。

3. 上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、各画素回路毎またはソースドライバ回路毎に備えている特許請求の範囲第1項または第2項に記載の表示装置。

5 4. 上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成を、各ソースドライバ回路毎に備えていると共に、

各画素回路には、上記電流駆動発光素子の供給電流を制御するトランジスタを備えている特許請求の範囲第3項に記載の表示装置。

10 5. 上記第1コンデンサ、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタからなる構成は、一部が画素回路側、他の一部がソースドライバ回路を含む画素回路の外側に配置される特許請求の範囲第1項または第2項に記載の表示装置。

15 6. 画素回路側に、電流駆動発光素子、駆動用トランジスタ、および第1コンデンサを配置し、

ソースドライバを含む画素回路の外側に、第2コンデンサ、第1スイッチ用トランジスタ、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、

20 上記駆動用トランジスタの電流制御端子と、第2コンデンサの第1端子とを接続する接続配線を備えている特許請求の範囲第5項に記載の表示装置。

7. 画素回路側に、電流駆動発光素子、駆動用トランジスタ、および第1コンデンサを配置し、

画素回路の外側に、第2コンデンサ、第1スイッチ用トランジスタを配置し、

ソースドライバ側に第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、

5 上記第2コンデンサの第2端子と上記第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを接続する接続配線を備えている特許請求の範囲第6項に記載の表示装置。

8. 画素回路側に、電流駆動発光素子、駆動用トランジスタ、第1スイッチ用トランジスタ、第1コンデンサおよび第2コンデンサを配置し、

10 ソースドライバを含む画素回路の外側に、第2スイッチ用トランジスタ、および第3スイッチ用トランジスタを配置すると共に、

 上記駆動用トランジスタの電流出力端子または電流入力端子と、第2コンデンサの第2端子とを接続する接続配線を備えている特許請求の範囲第5項に記載の表示装置。

15 9. さらに、OFF電位を供給するOFF電位線を備えており、

 上記接続配線が、第4スイッチング用トランジスタを介してOFF電位線に接続されている特許請求の範囲第6項または第8項に記載の表示装置。

20 10. 電流駆動発光素子と、駆動用トランジスタとを含む表示装置の駆動方法において、

 上記駆動用トランジスタの電流制御端子に第1コンデンサの一方の端子である第1端子が接続されており、

 上記駆動用トランジスタの電流書き込み期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、

第1の期間において、第2コンデンサの他方端子である第2端子を所定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流出力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサおよび第2コンデンサに保持し、

- 5 第2の期間において、上記駆動用トランジスタの電流制御端子と電流出力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記所定電圧線との接続から上記駆動用トランジスタの電流出力端子との接続に切り替え、上記駆動用トランジスタの電流制御端子電位を修正し、この時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサに
10 保持し、

上記駆動用トランジスタの電流読みだし期間では、

上記第1コンデンサに保持された駆動用トランジスタの電流制御端子電位によって、上記駆動用トランジスタの出力電流を制御する表示装置の駆動方法。

- 15 11. 電流駆動発光素子と、駆動用トランジスタとを含む表示装置の駆動方法において、

上記駆動用トランジスタの電流制御端子に第1コンデンサの一方の端子である第1端子が接続されており、

- 20 上記駆動用トランジスタの電流書き込み期間では、第1のコンデンサの第1端子に第2のコンデンサの一方の端子である第1端子が接続され、

第1の期間において、第2コンデンサの他方端子である第2端子を所定電圧線に接続し、上記駆動用トランジスタの電流制御端子と電流入力端子とを接続し、この時の上記駆動用トランジスタの電流制御端子電位を第1のコンデンサおよび第2コンデンサに保持し、

第2の期間において、上記駆動用トランジスタの電流制御端子と電流
入力端子との接続を遮断し、第2コンデンサの第2端子の接続を上記所
定電圧線との接続から上記駆動用トランジスタの電流入力端子との接続
に切り替え、上記駆動用トランジスタの電流制御端子電位を修正し、こ
5 の時の上記駆動用トランジスタの電流制御端子電位を第1コンデンサに
保持し、

上記駆動用トランジスタの電流読み出し期間では、

上記第1コンデンサに保持された駆動用トランジスタの電流制御端子
電位によって、上記駆動用トランジスタの入力電流を制御する表示装置
10 の駆動方法。

12. 上記第2の期間において、第2コンデンサの第2端子の接続を
上記駆動用トランジスタの電流出力端子と接続してから、上記所定電圧
線との接続を切り離す特許請求の範囲第10項または第11項に記載の
表示装置の駆動方法。

1/45

図 1

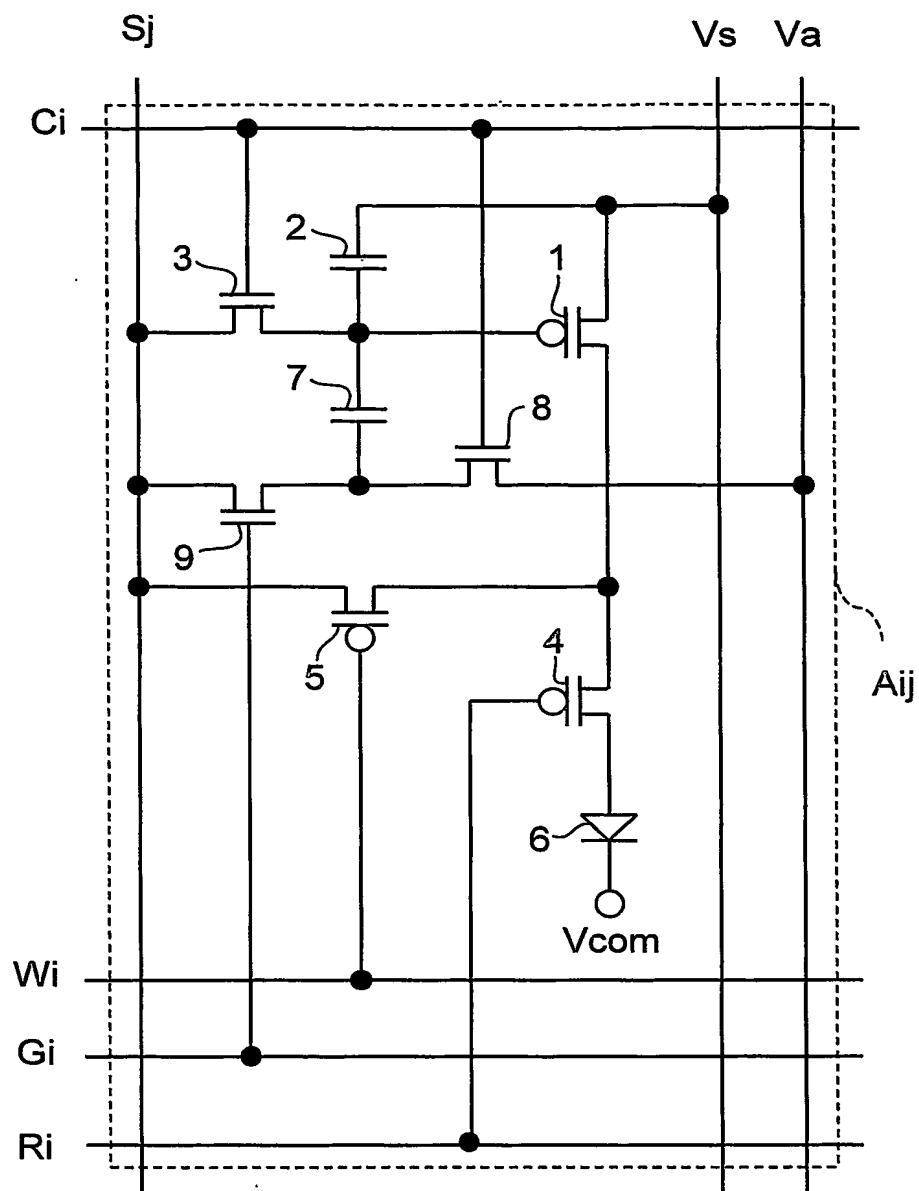
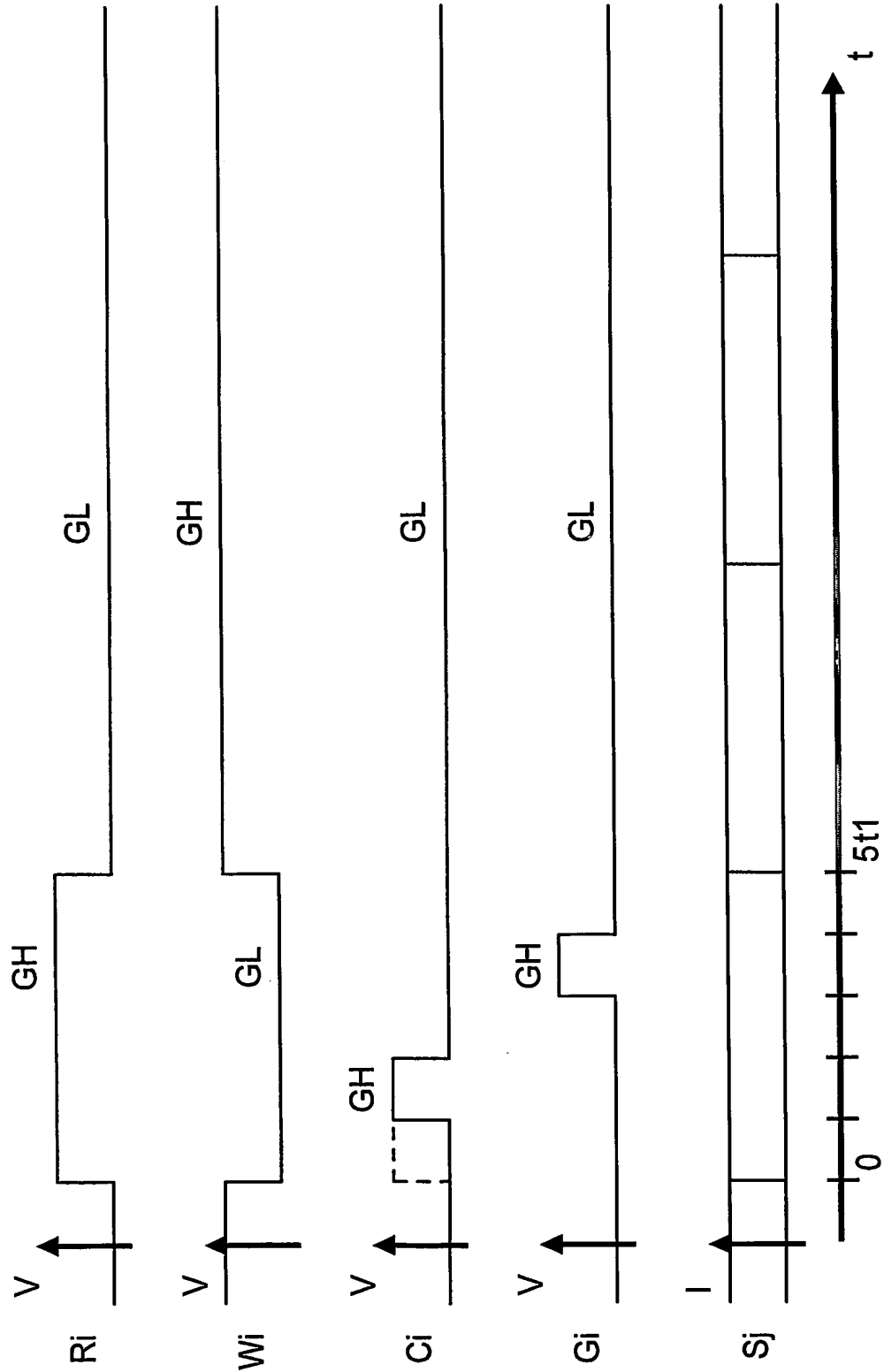


図2



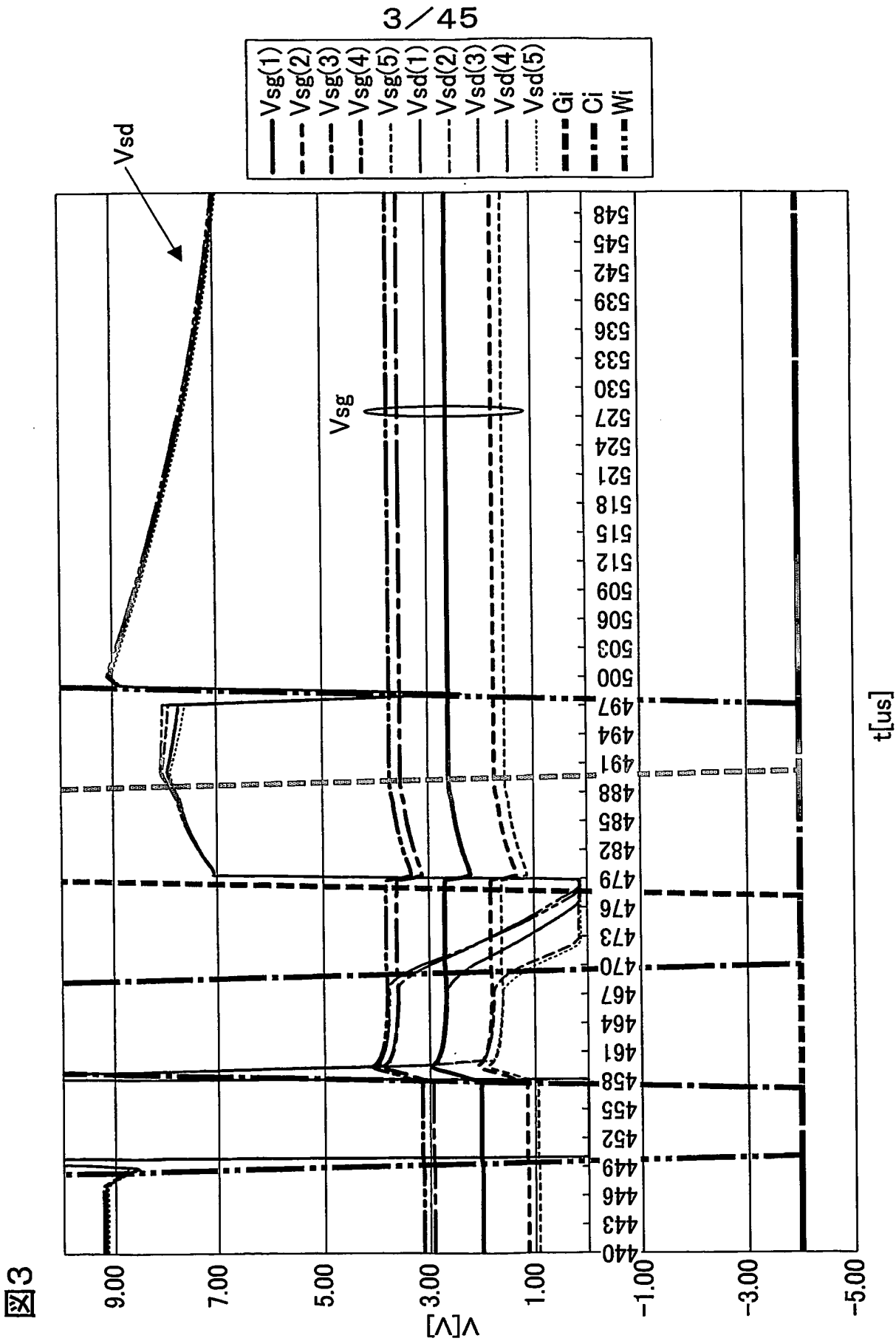
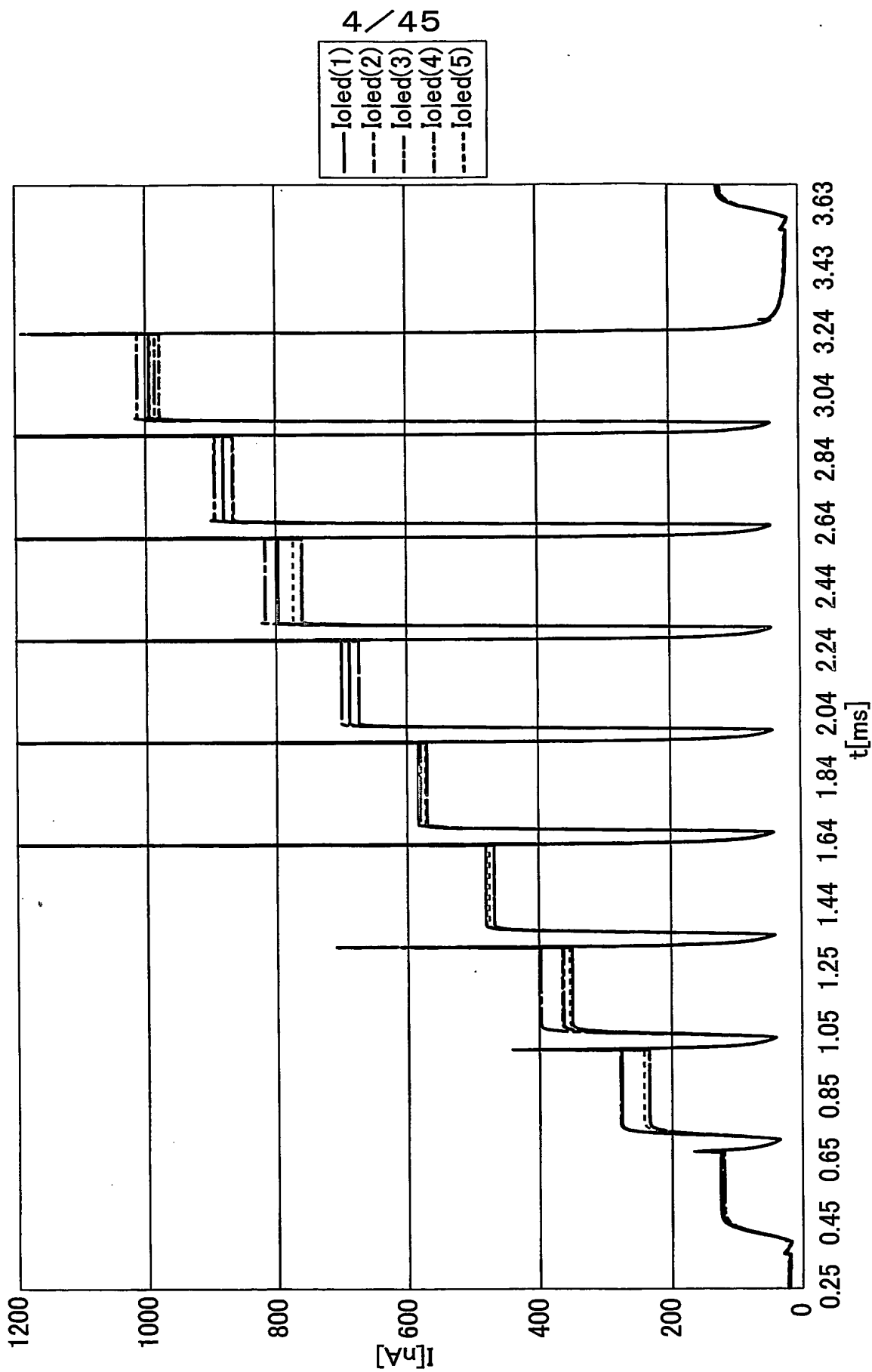
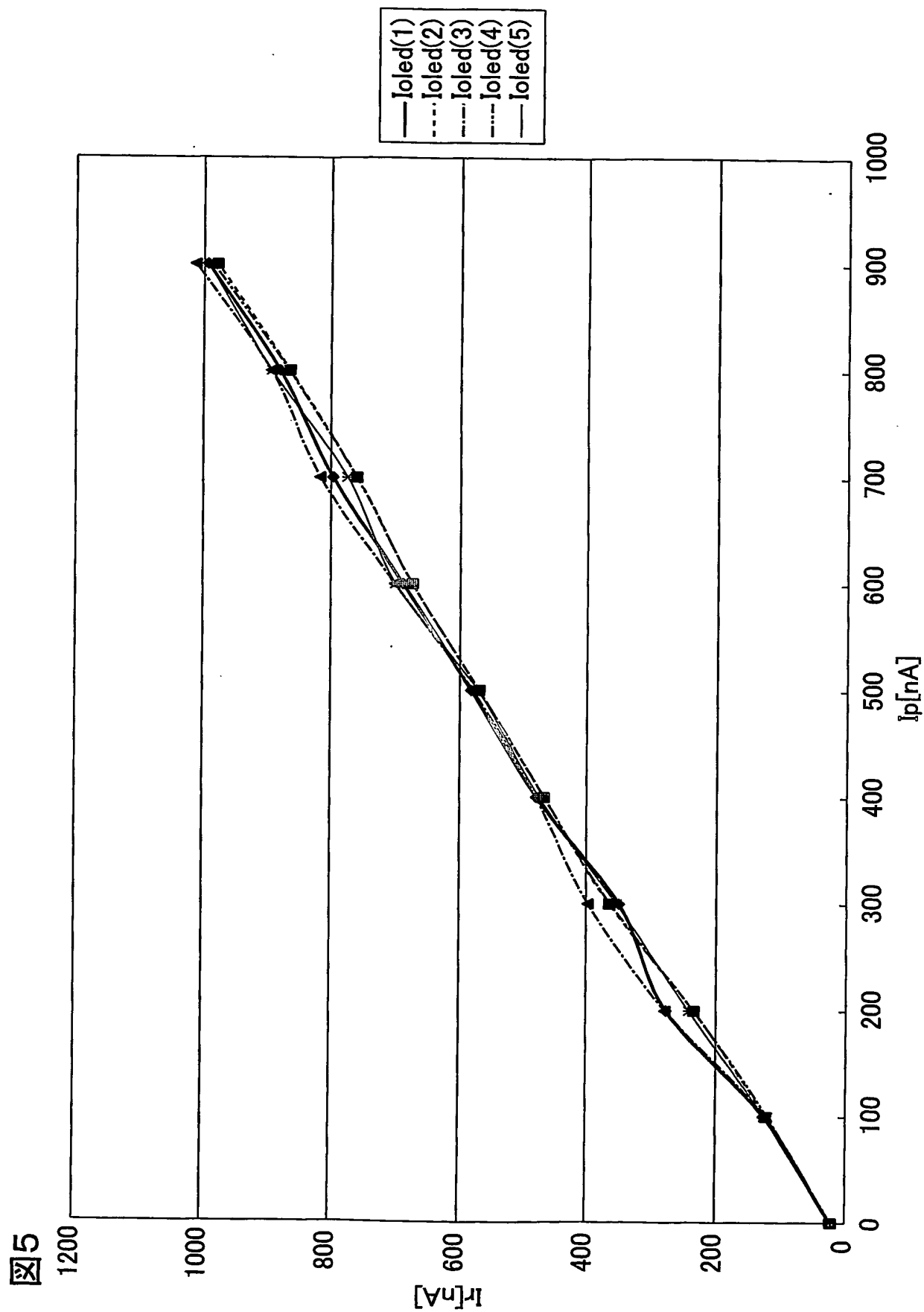


図4



5/45



6/45

図6

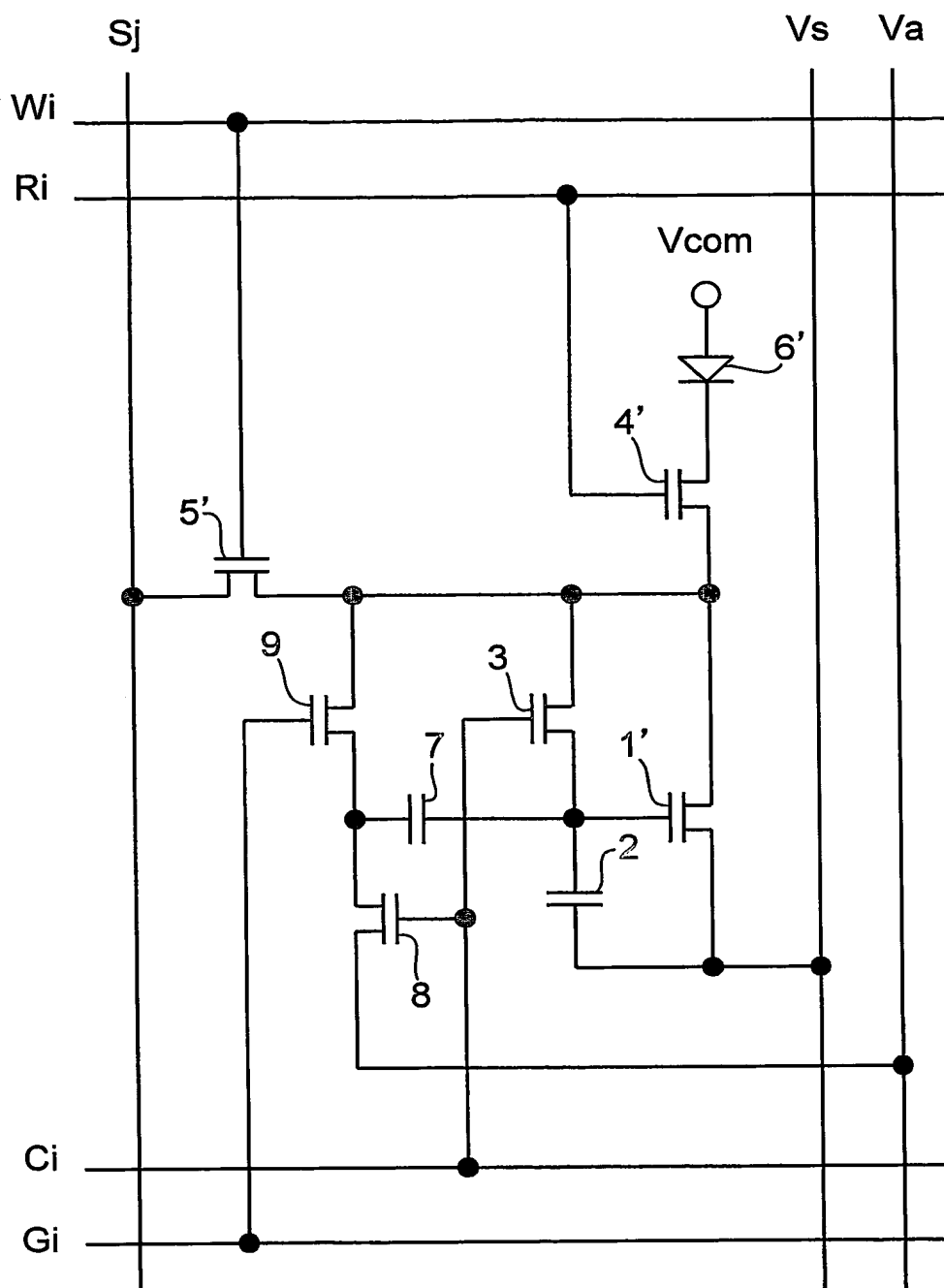
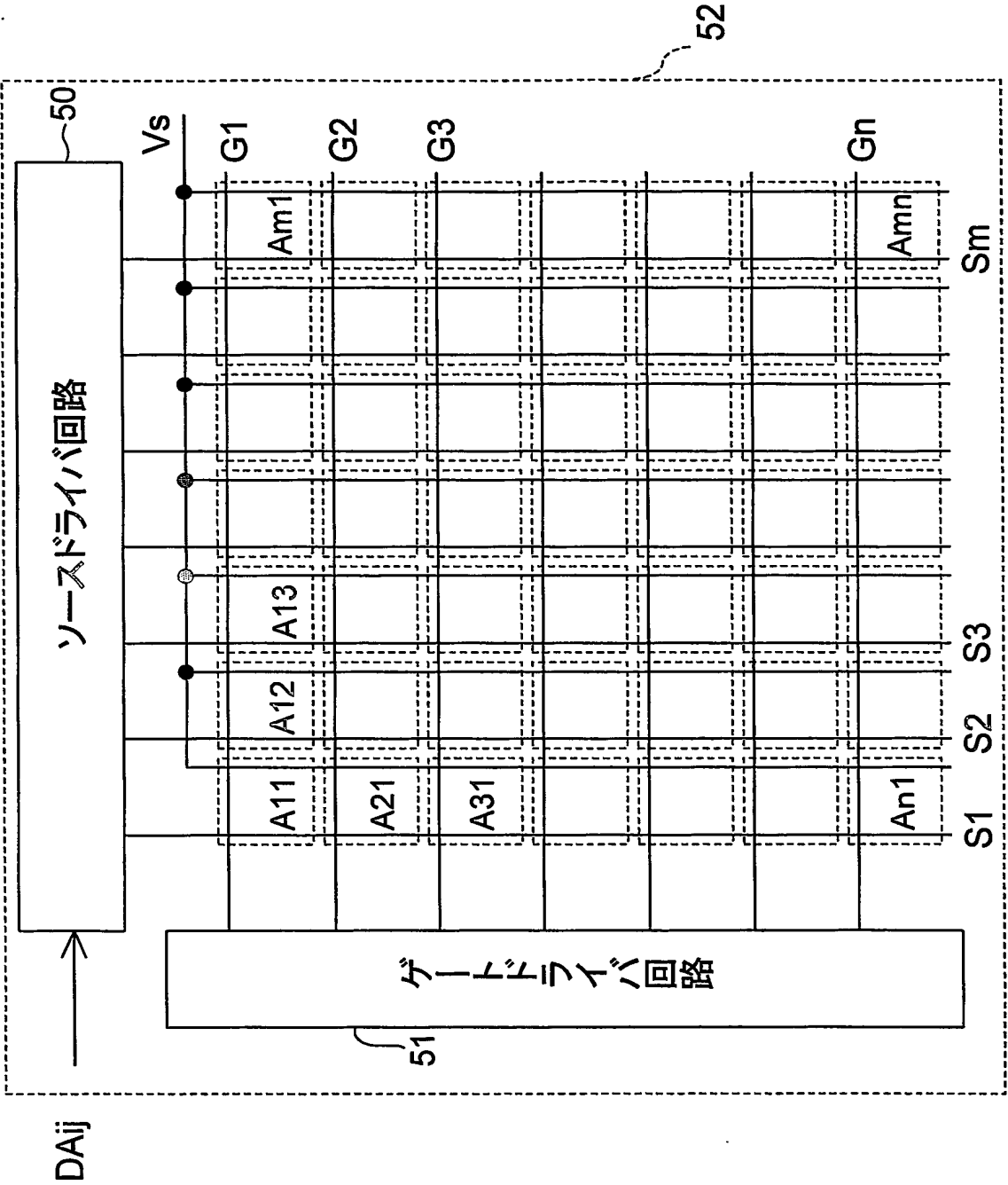
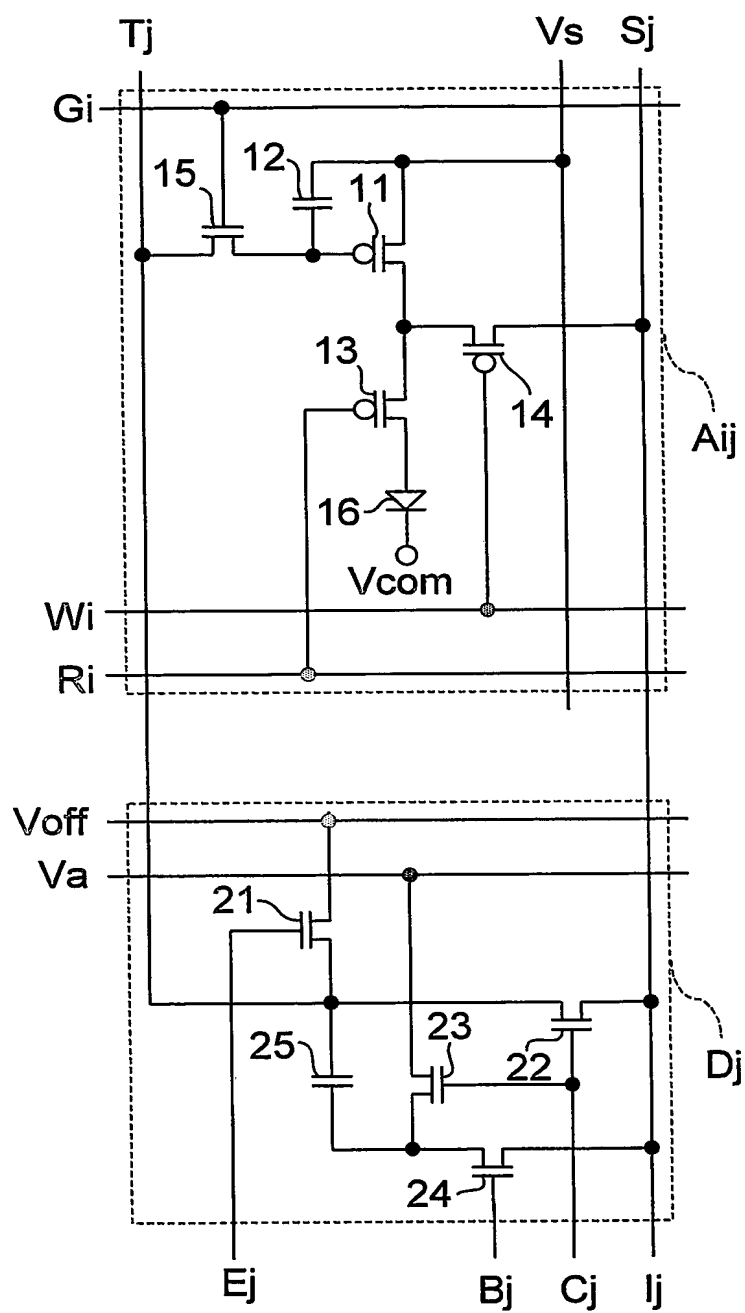


図7



8/45

図8



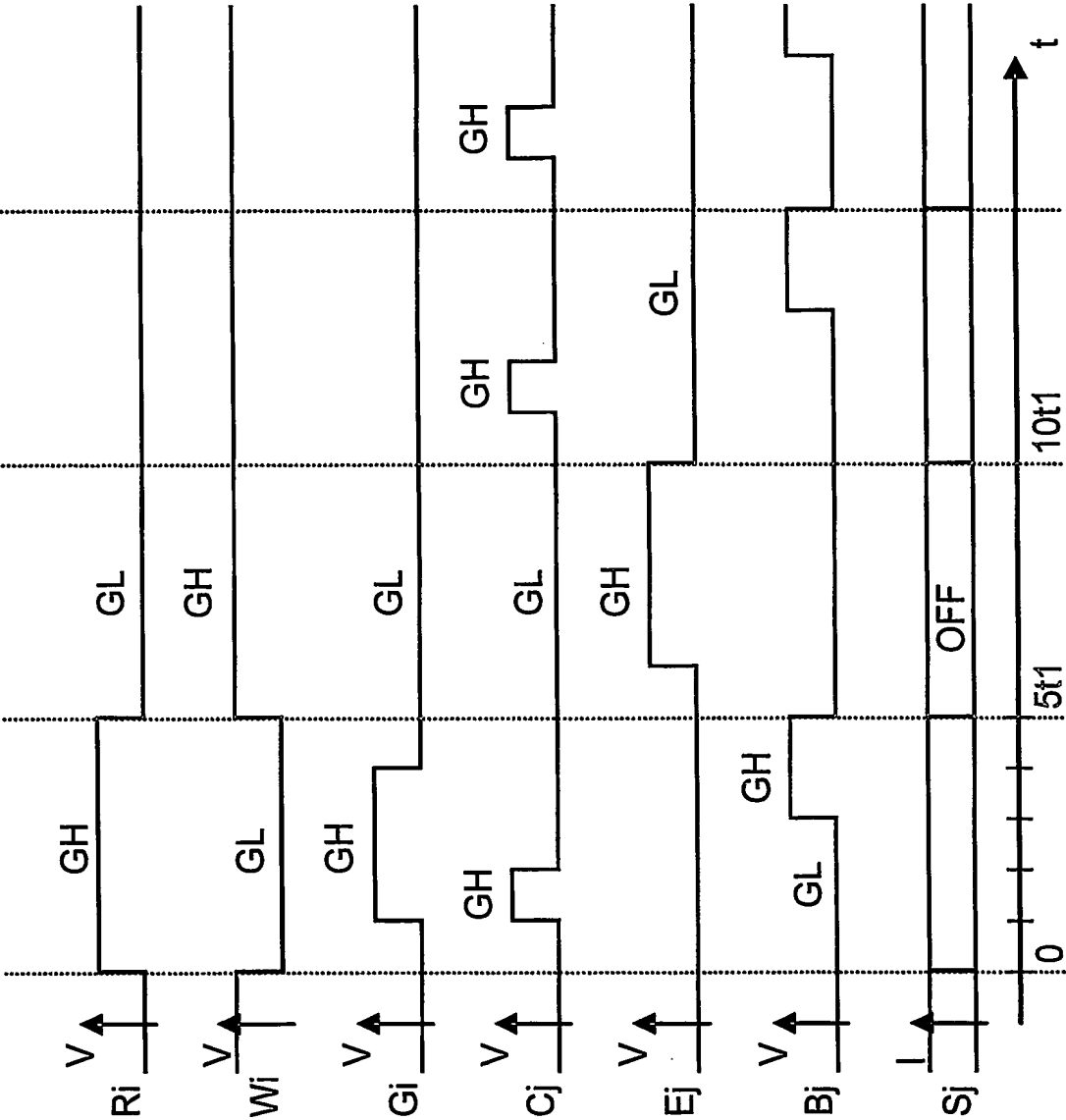
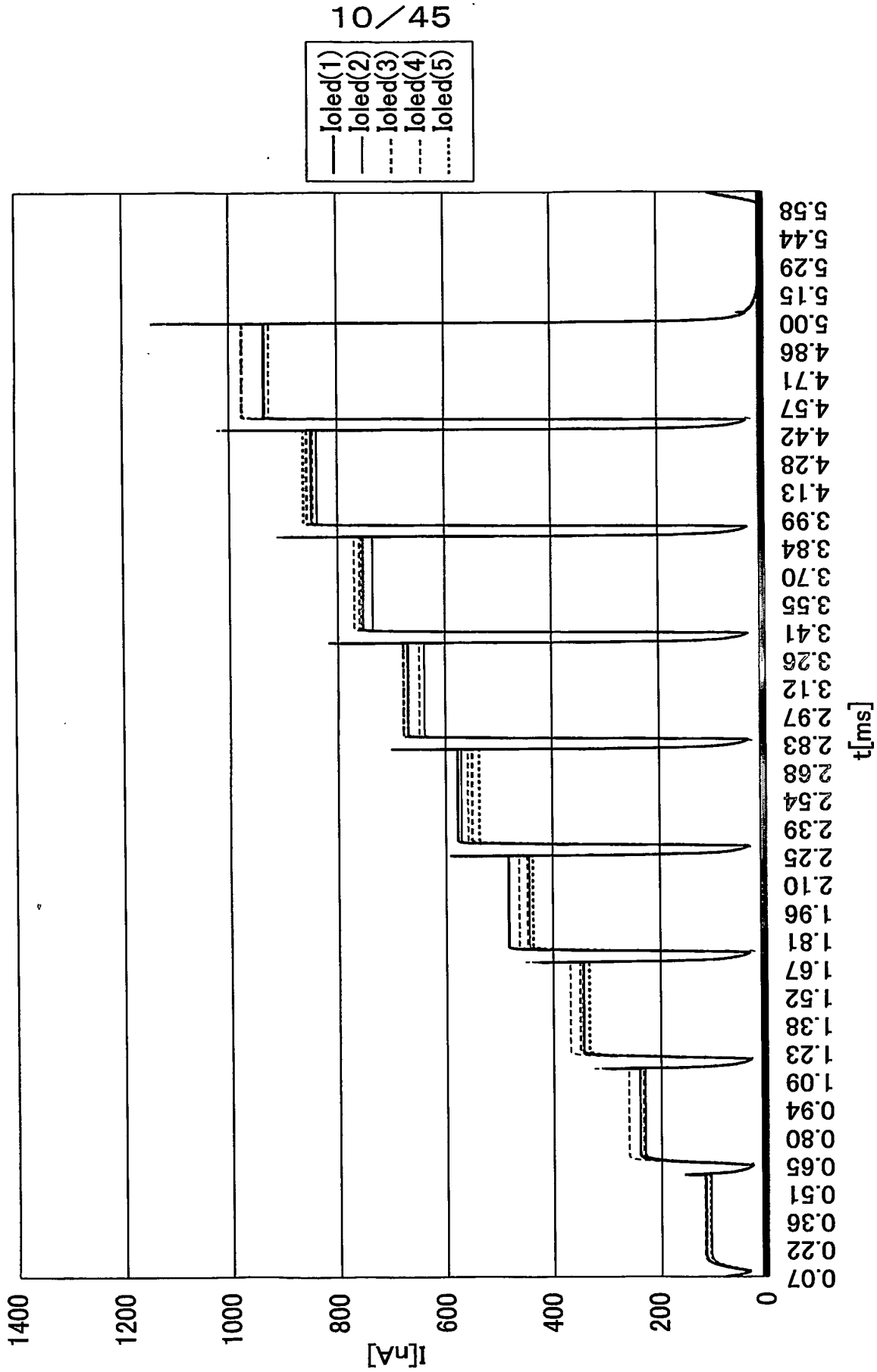


図10



11/45

図 11

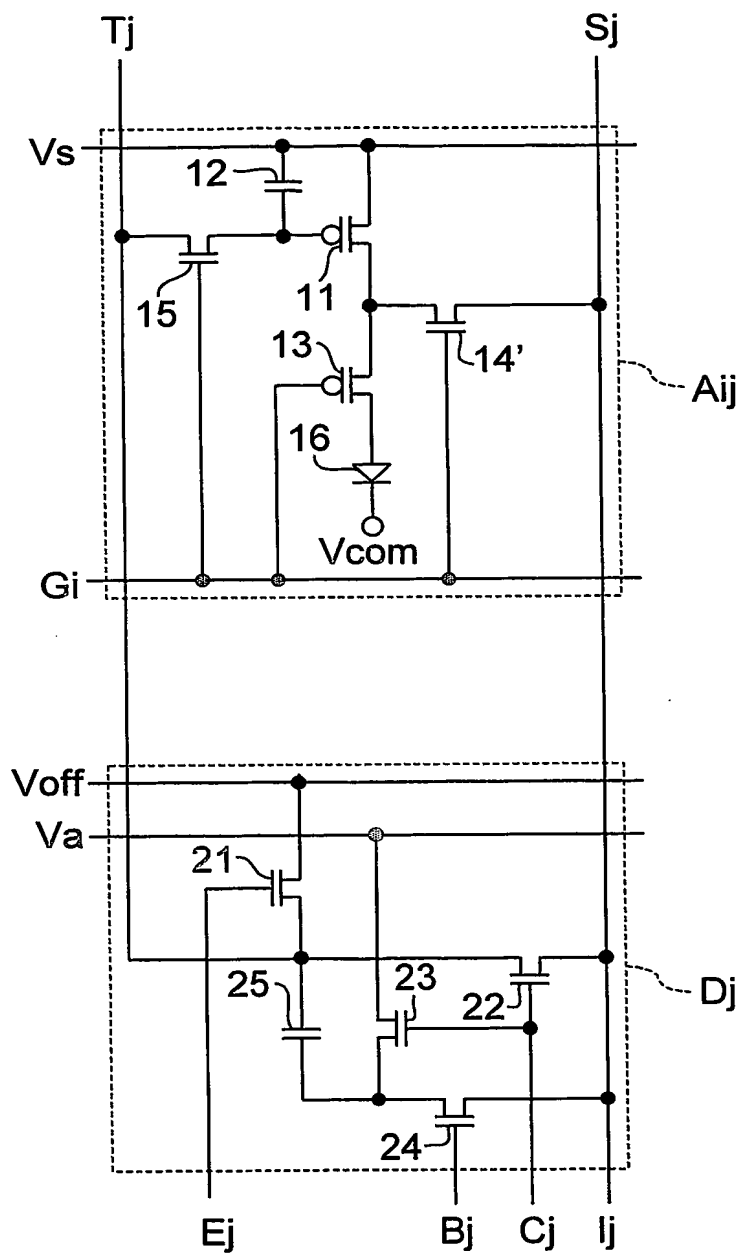


図12

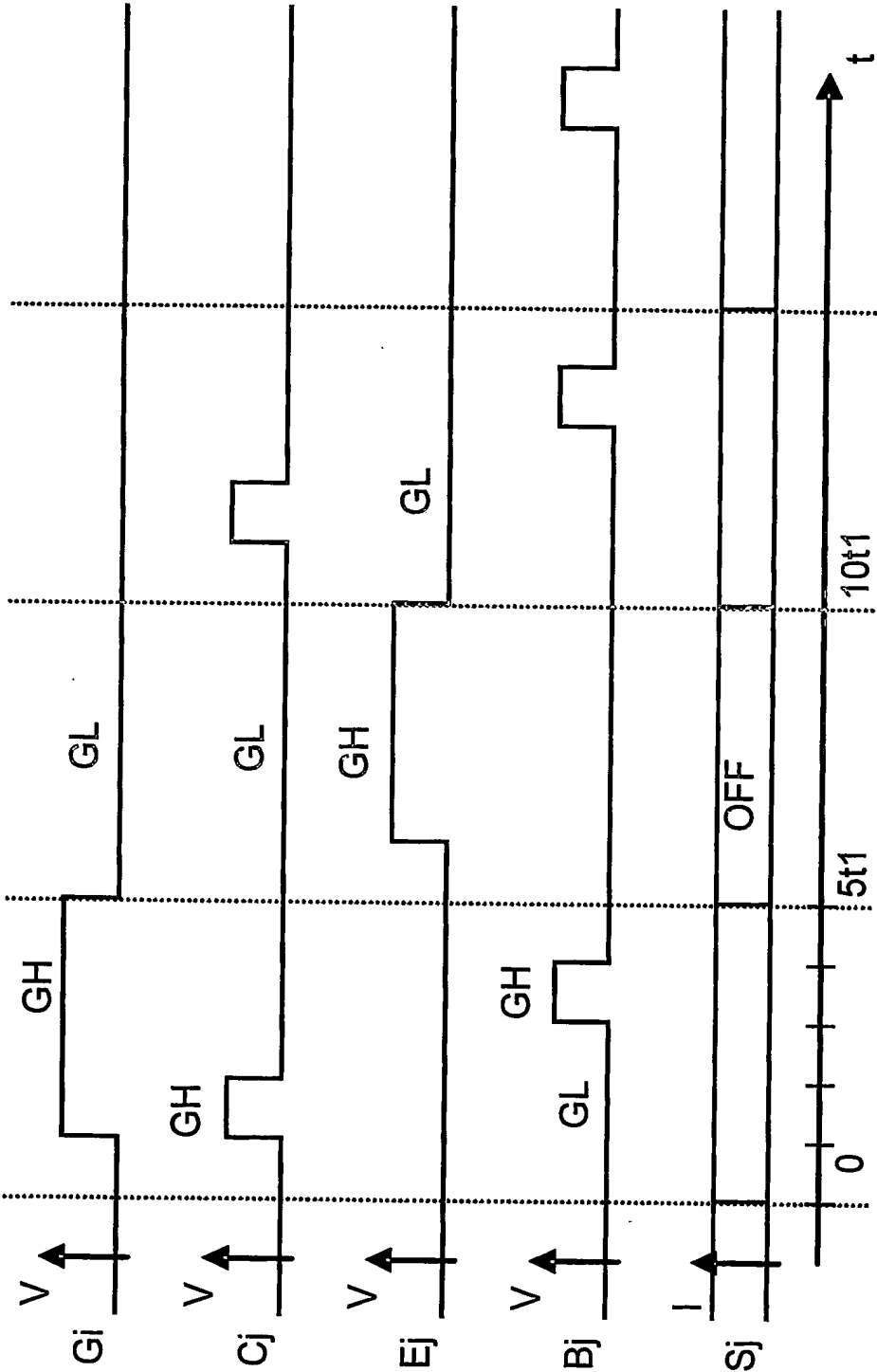
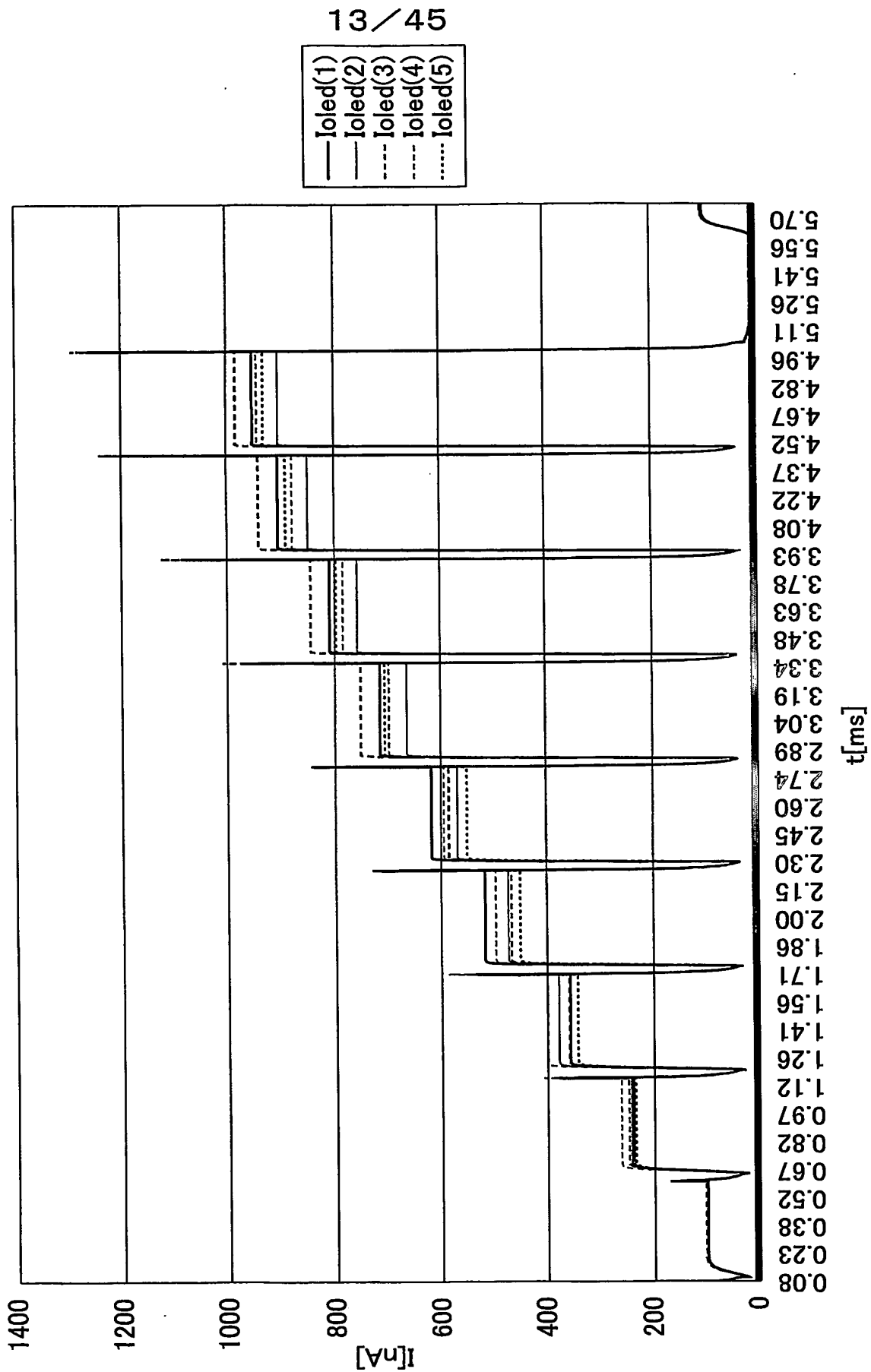
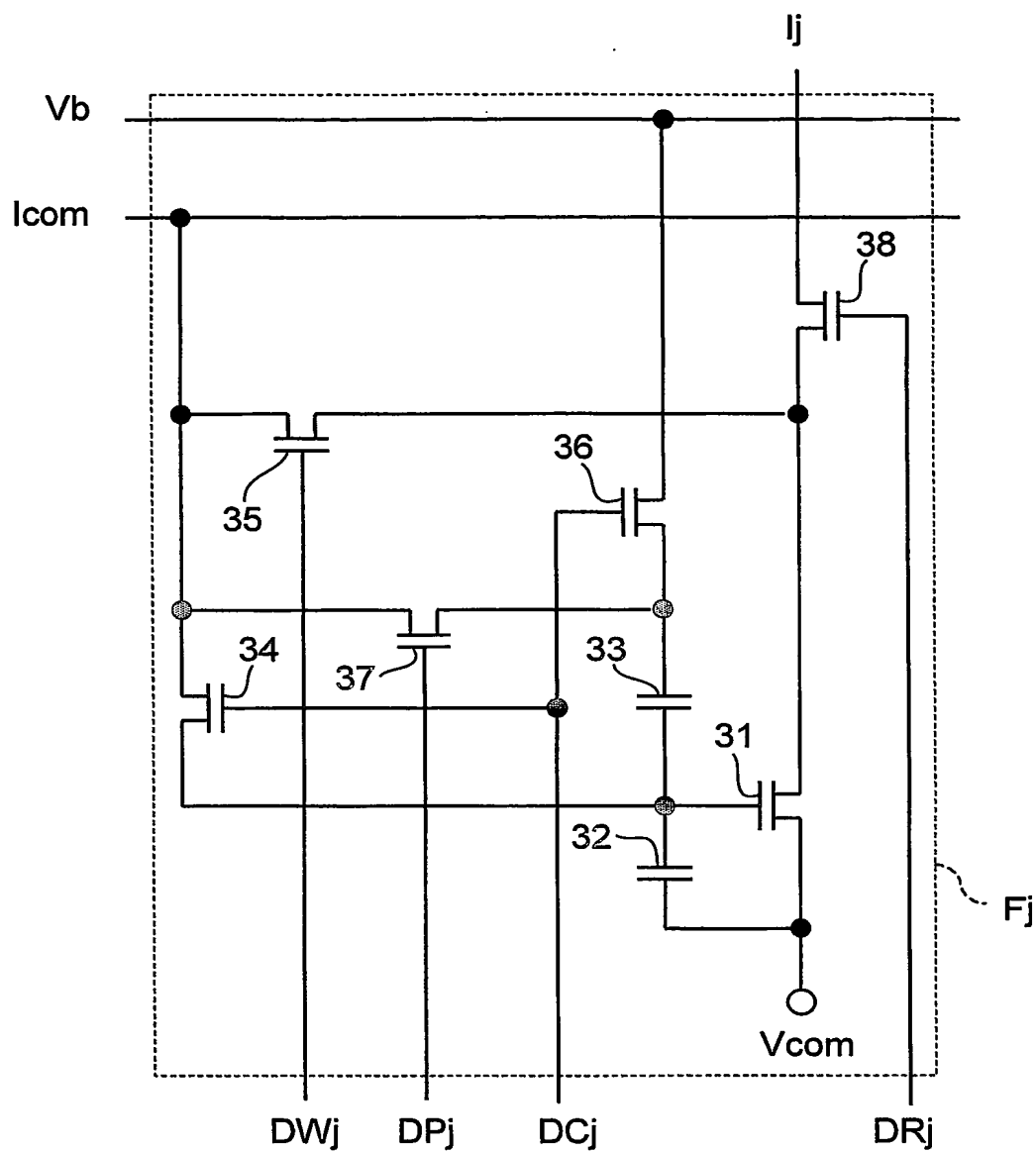


図13



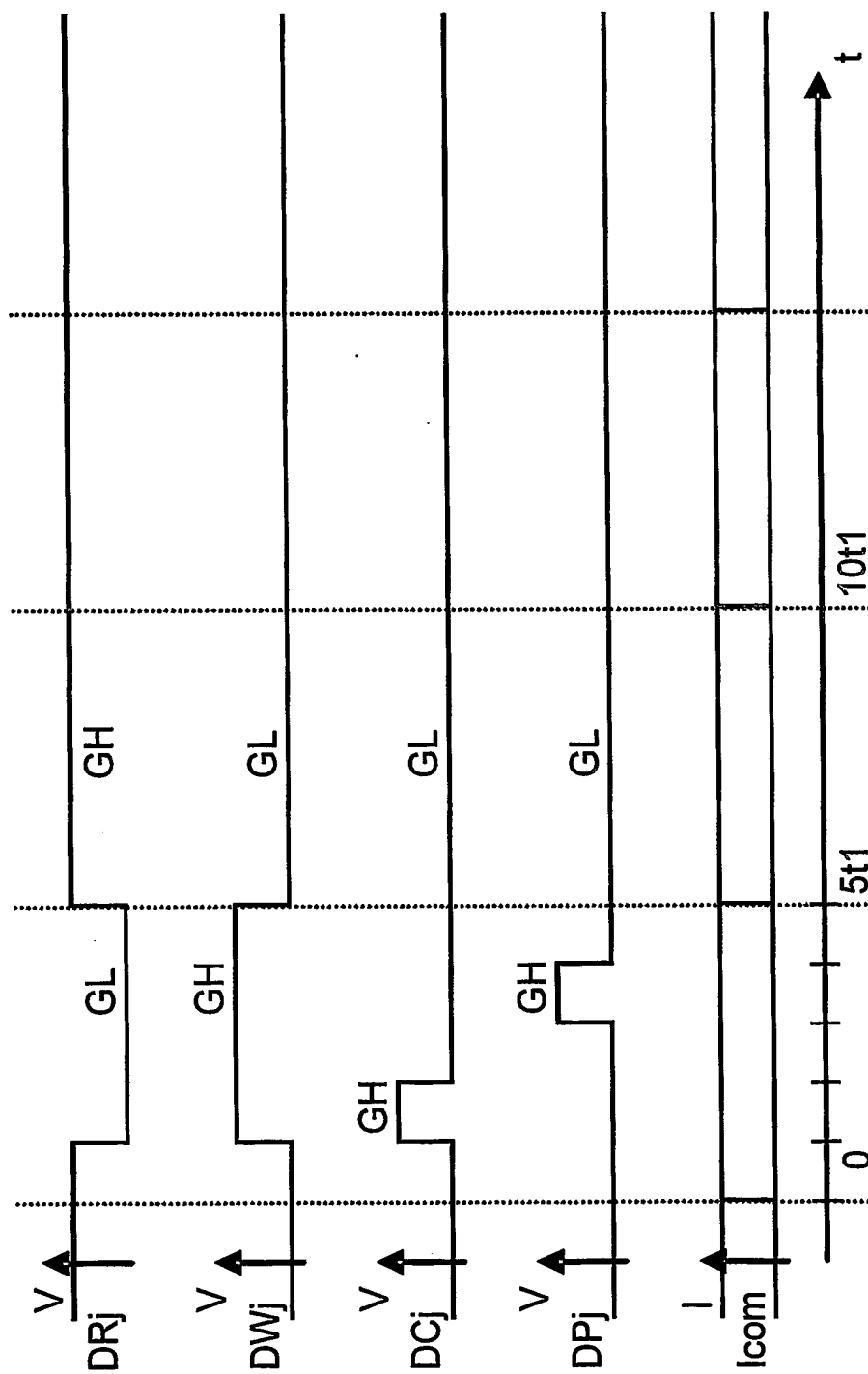
14/45

図 14



15/45

図15



16 / 45

図16

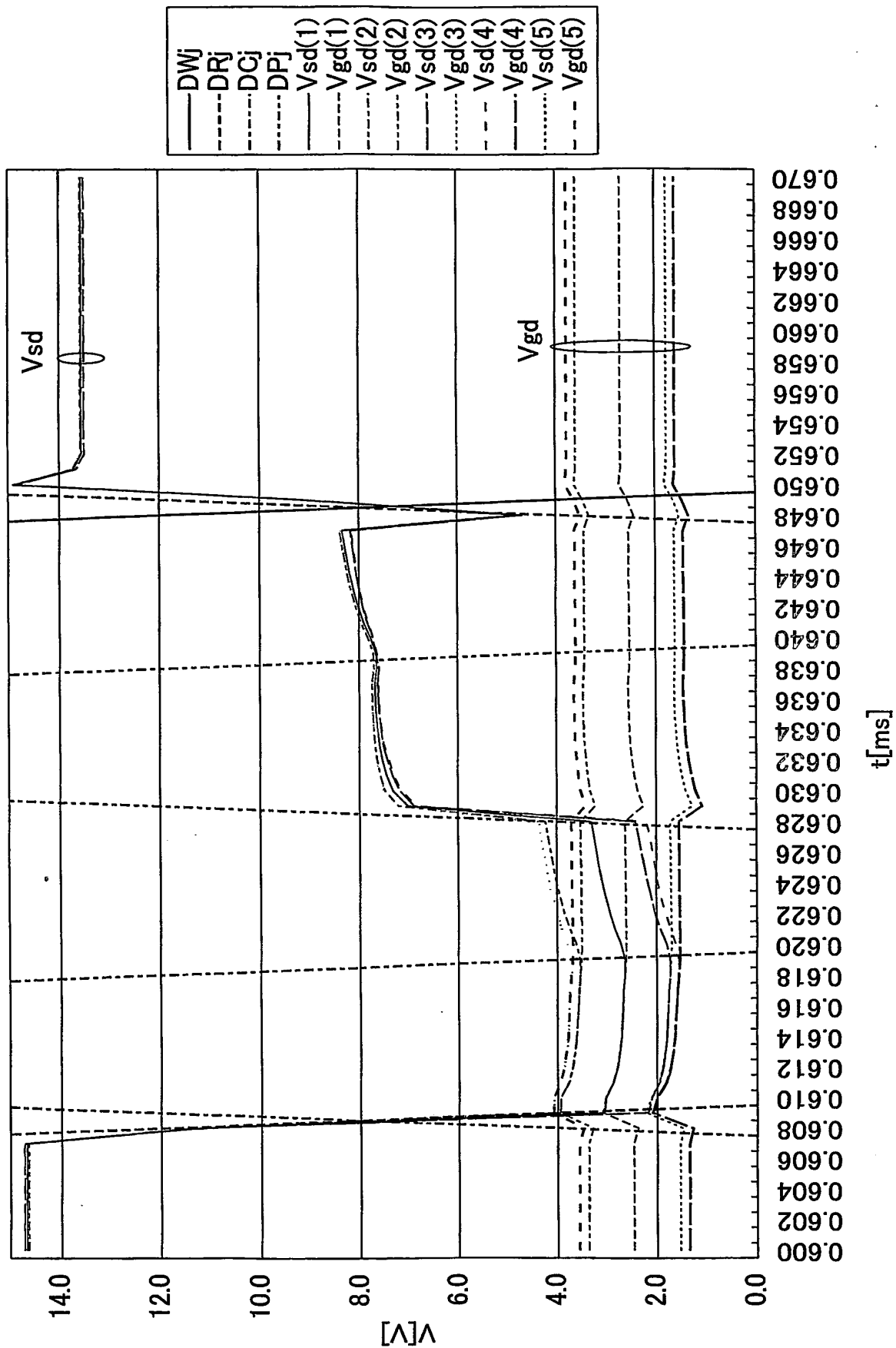
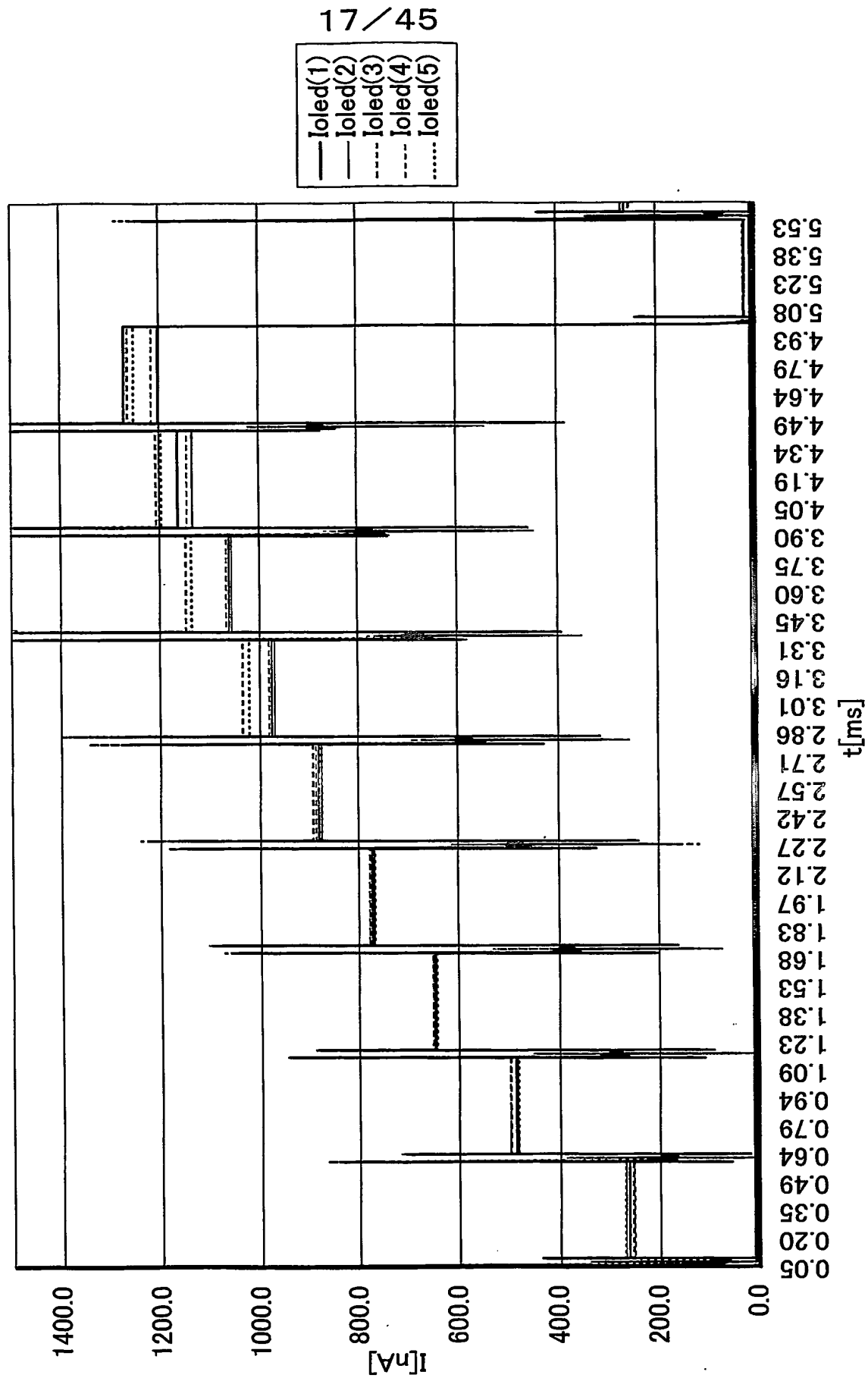
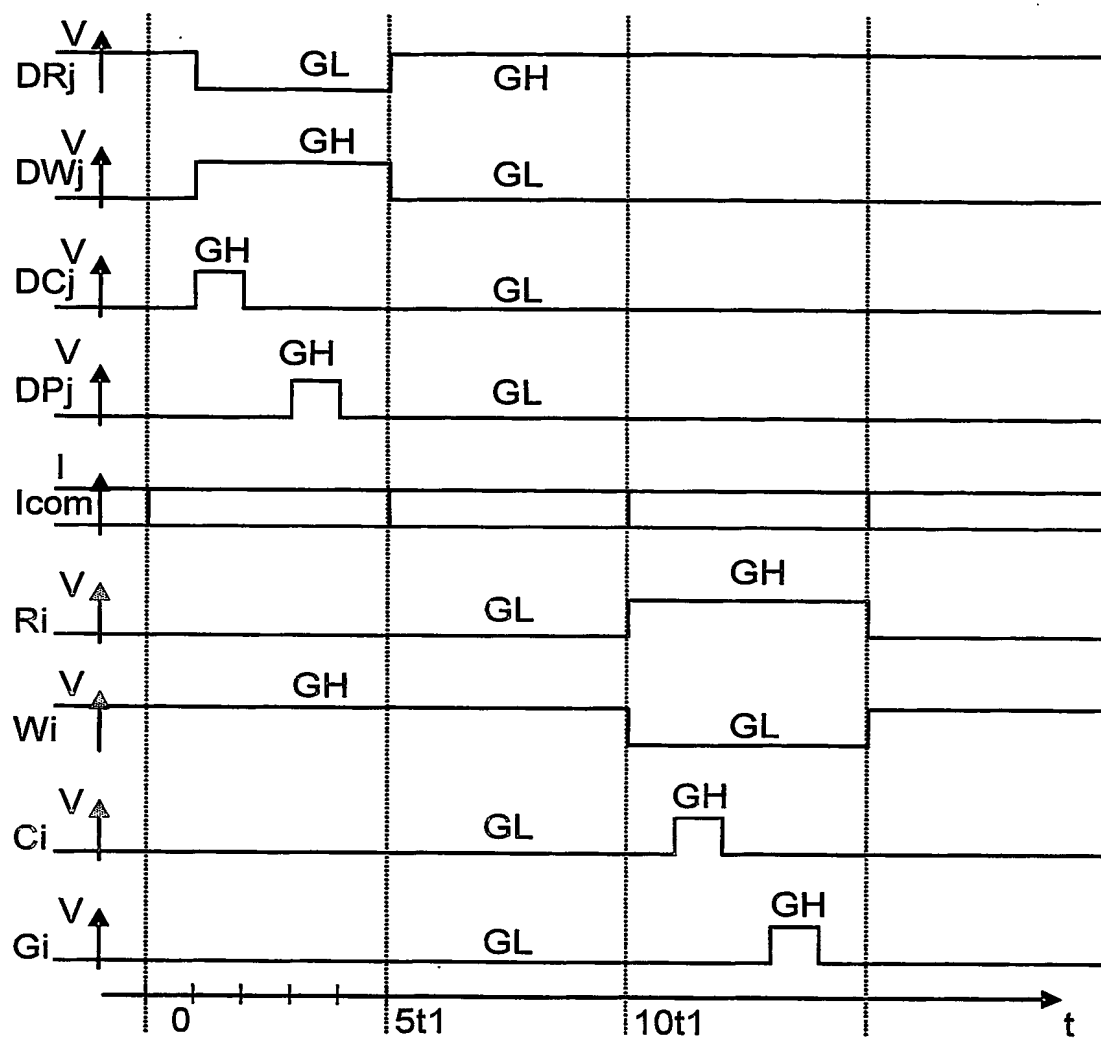


図17



18/45

図18



19 / 45

図19

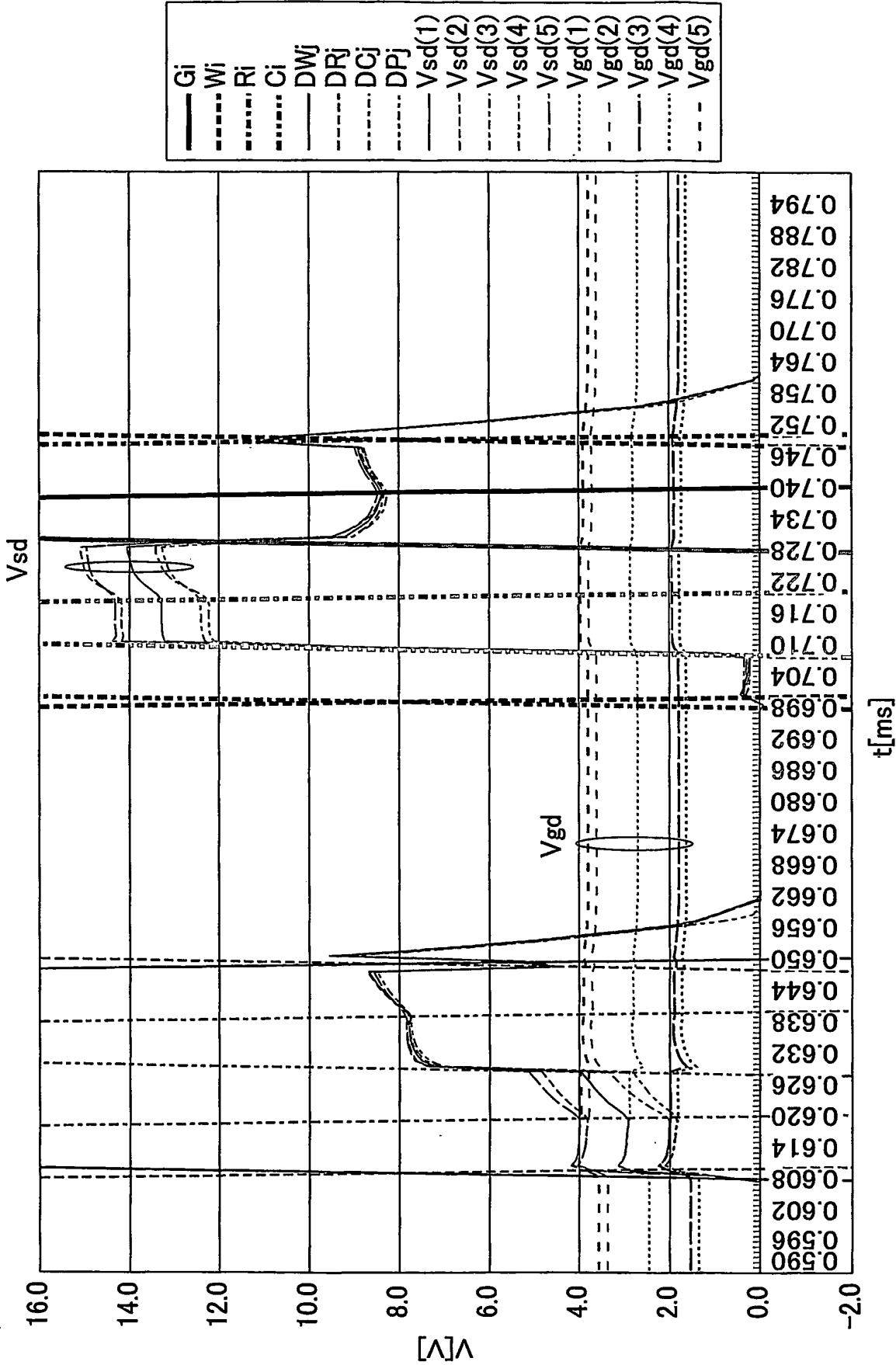
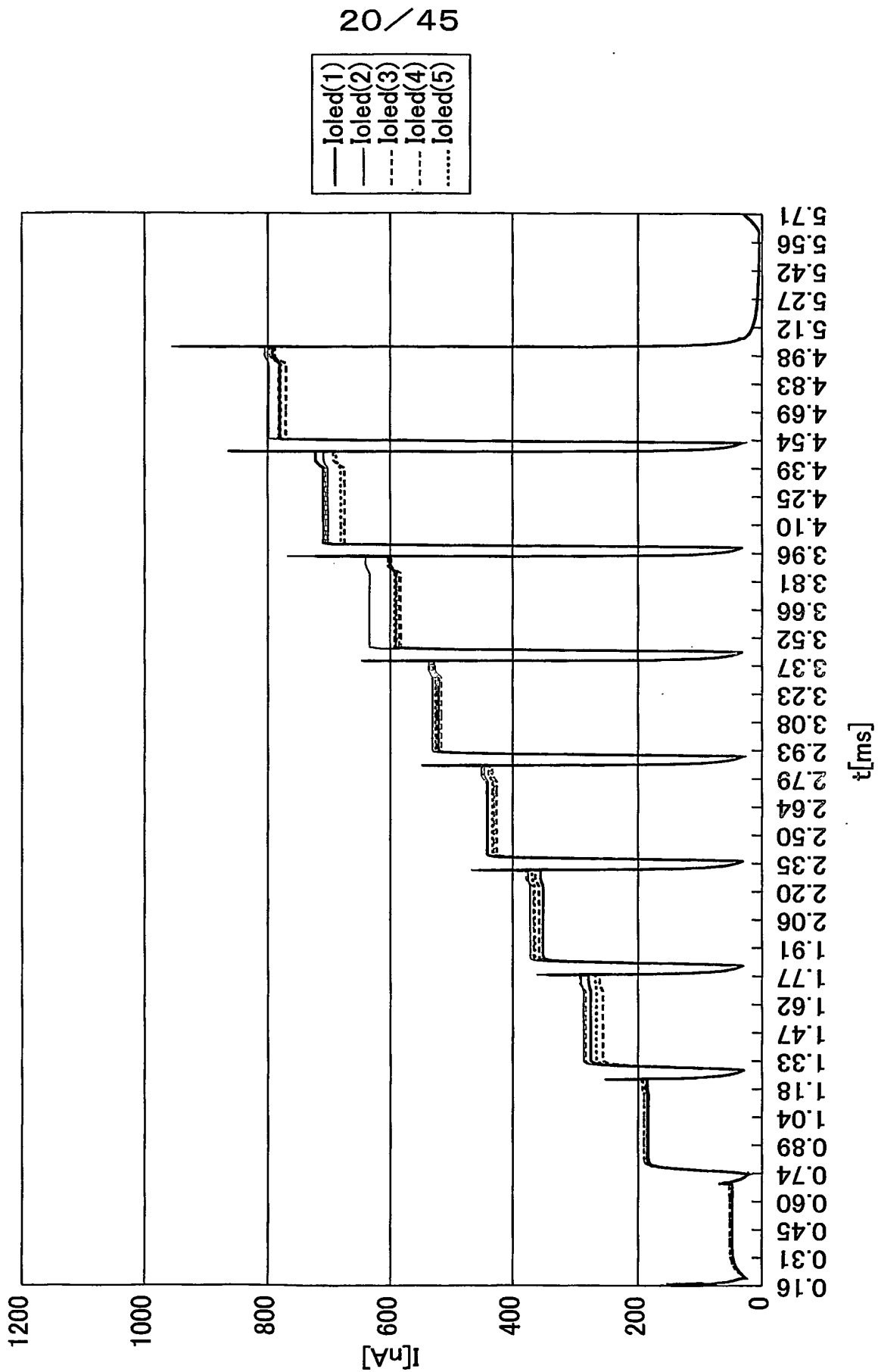
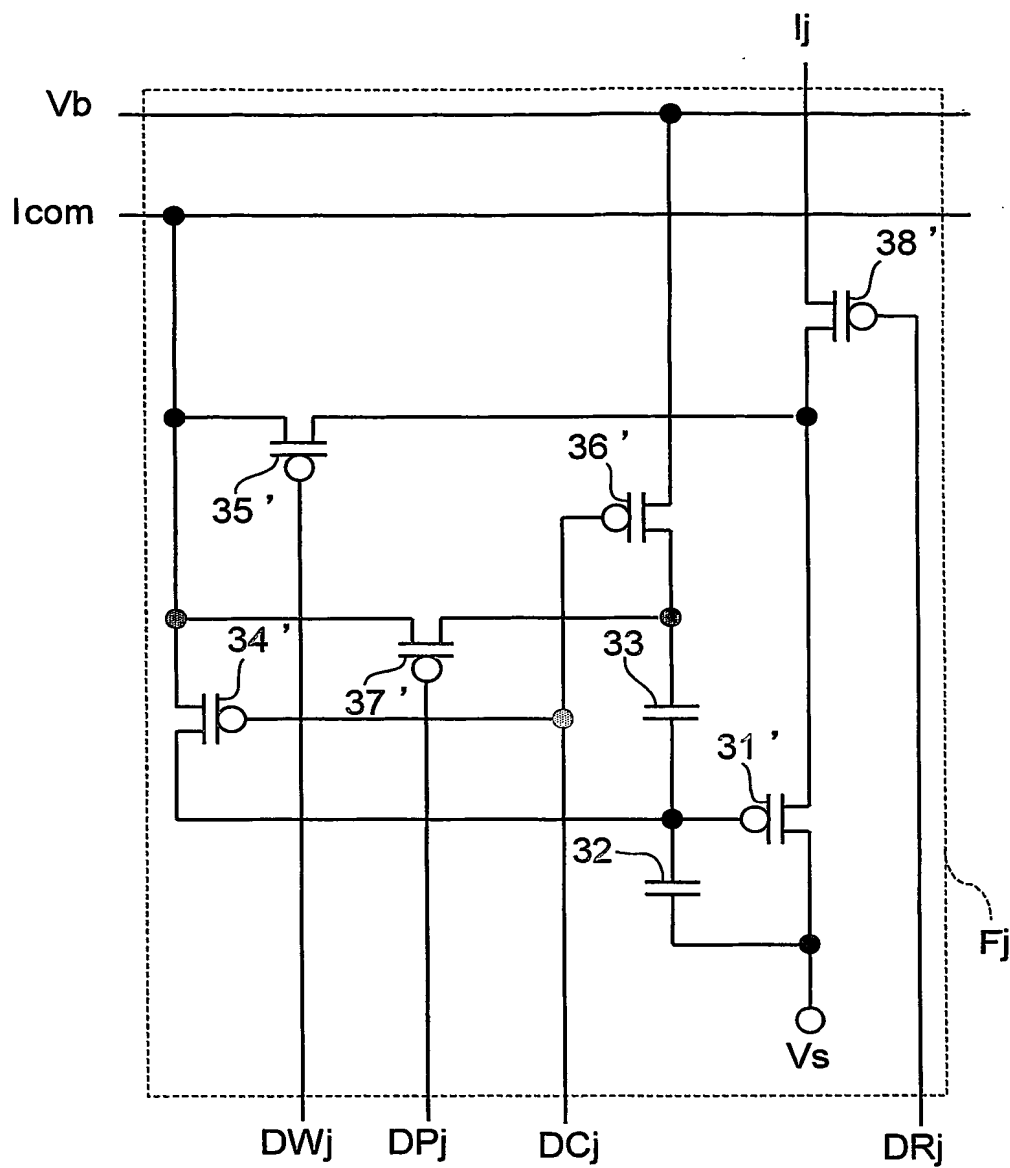


図 20



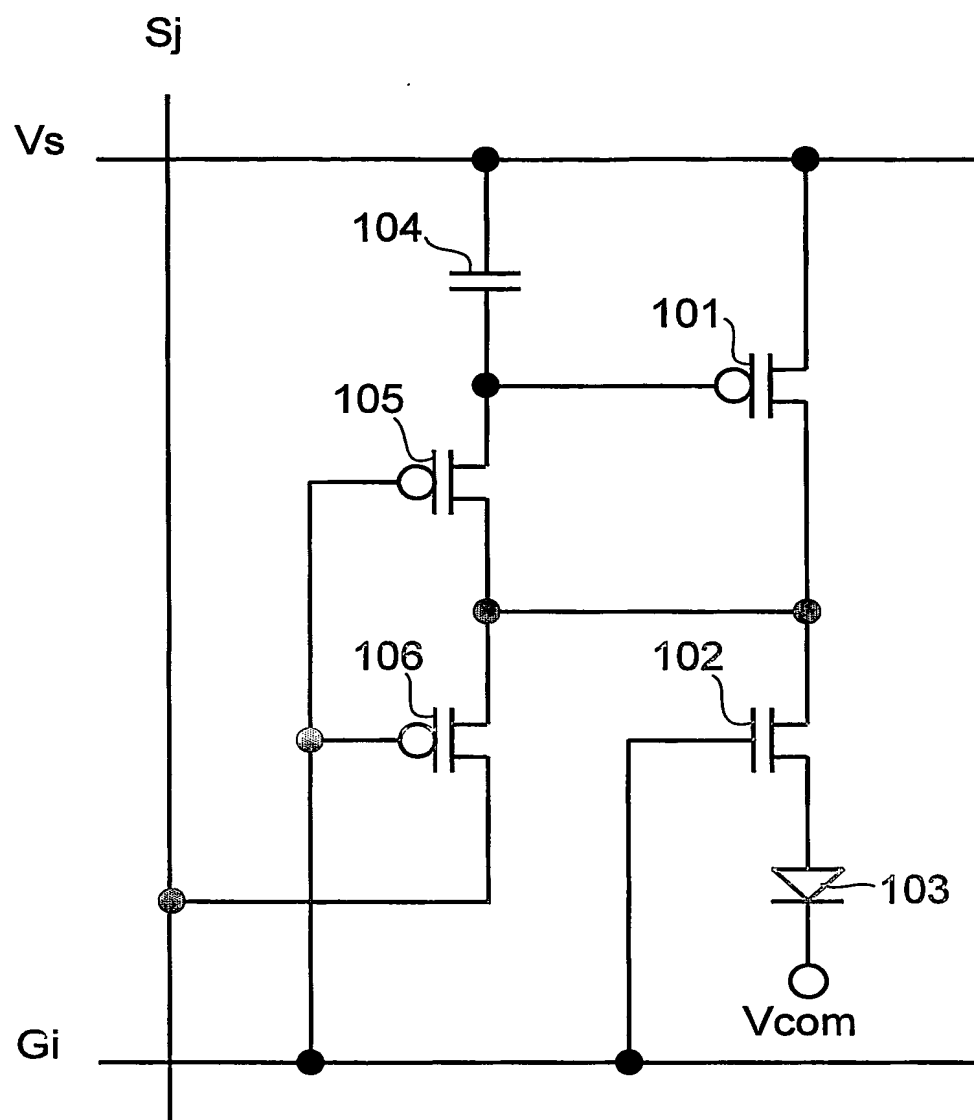
21/45

図21



22/45

図22



23/45

図23

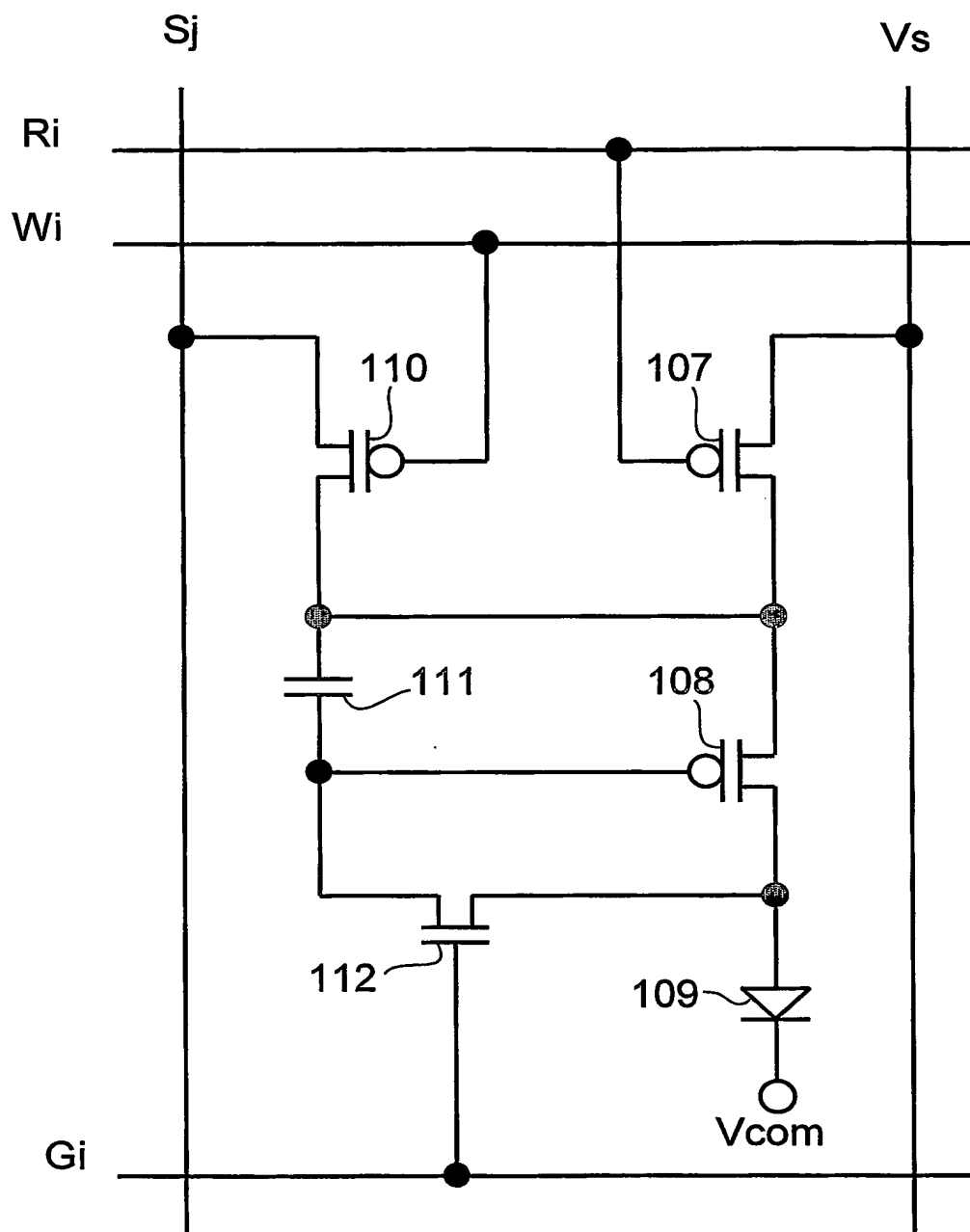


図24

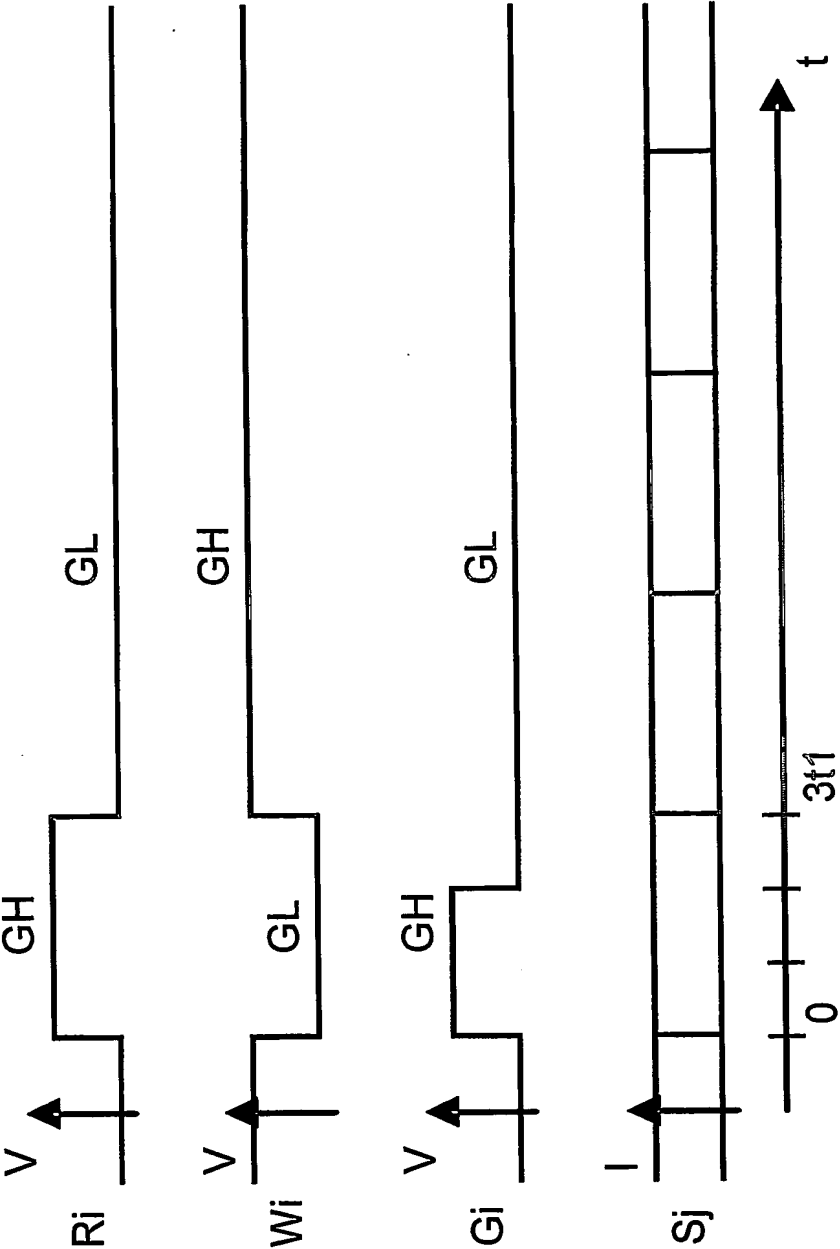
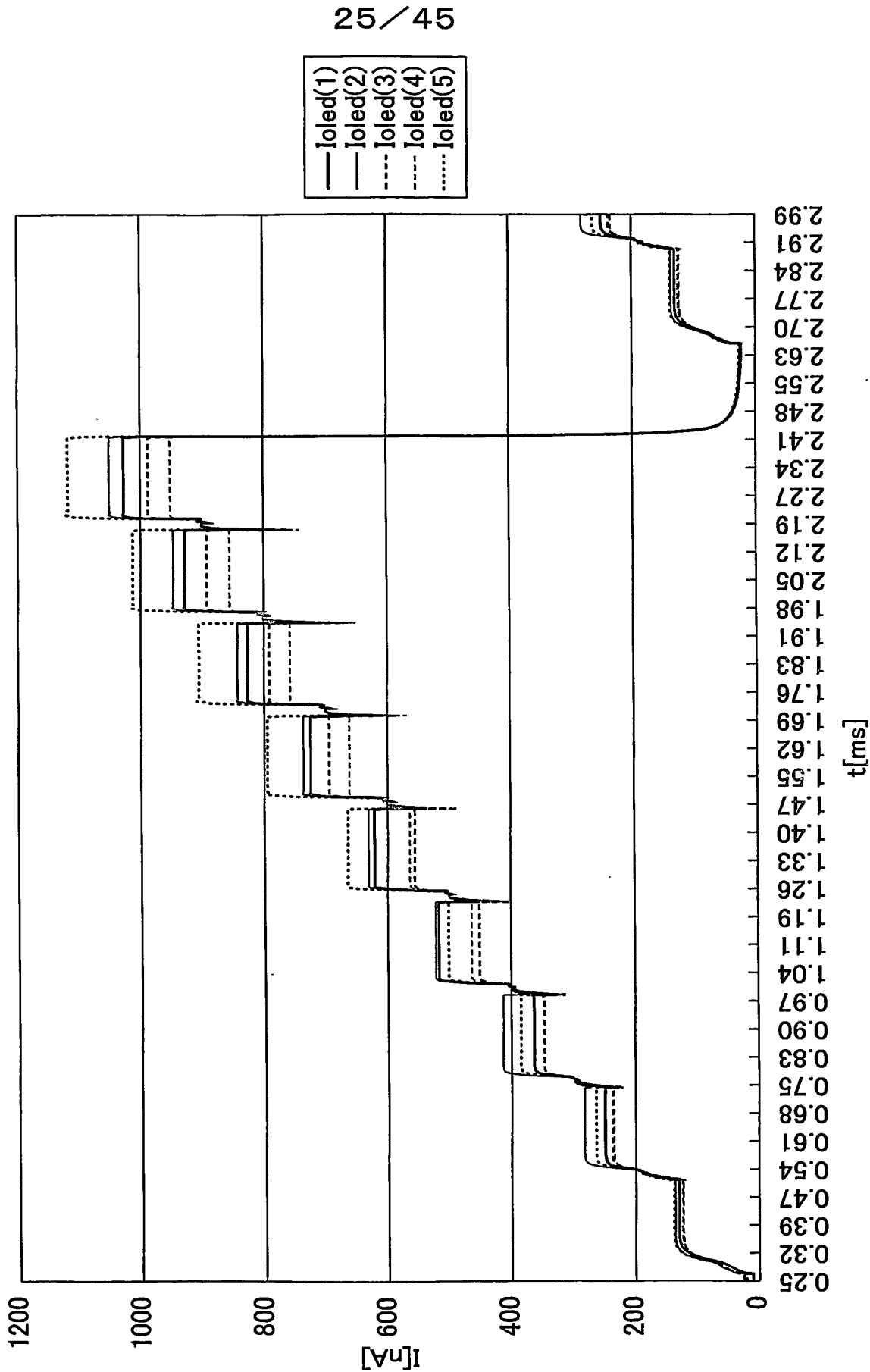
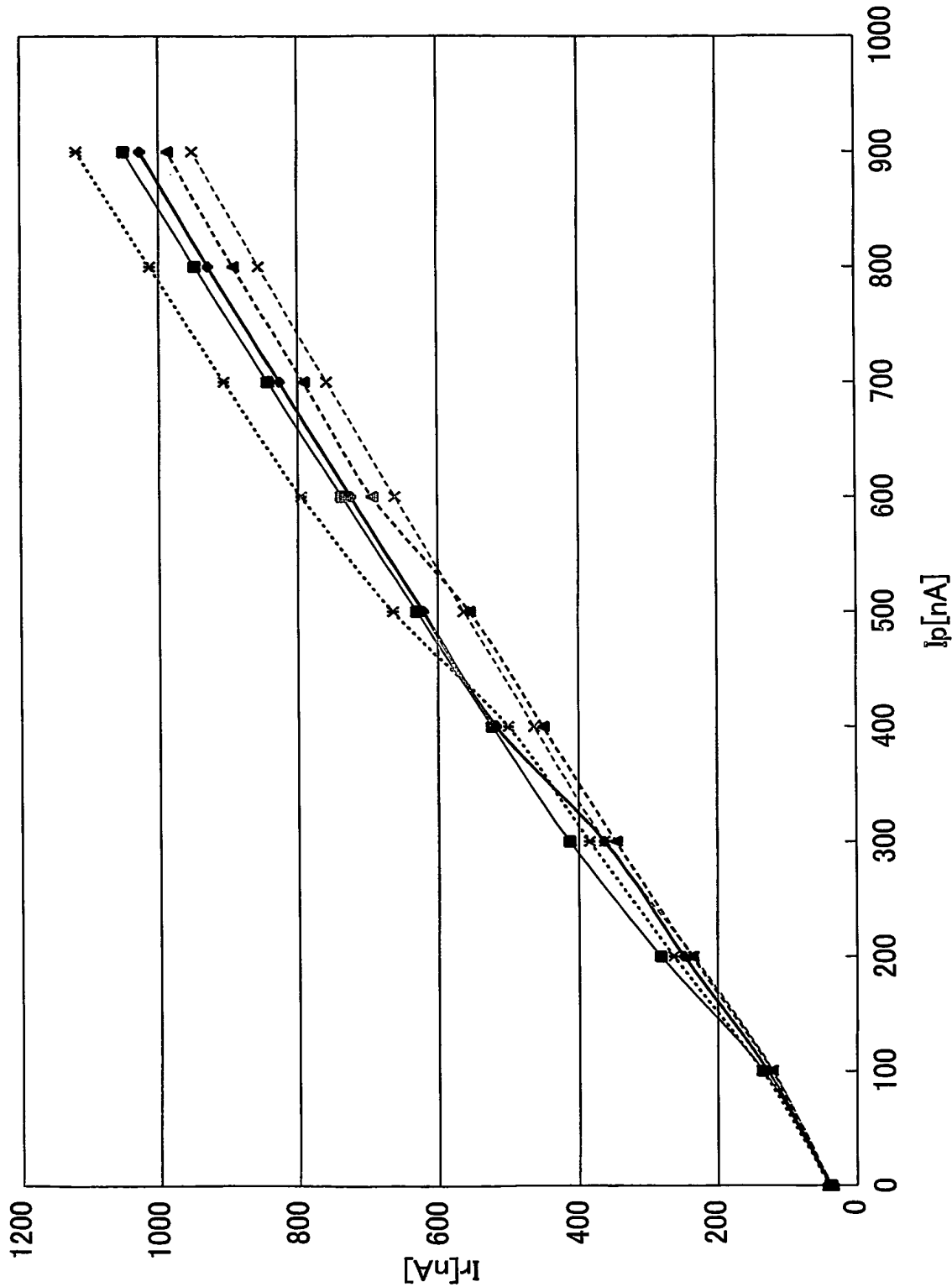


図25



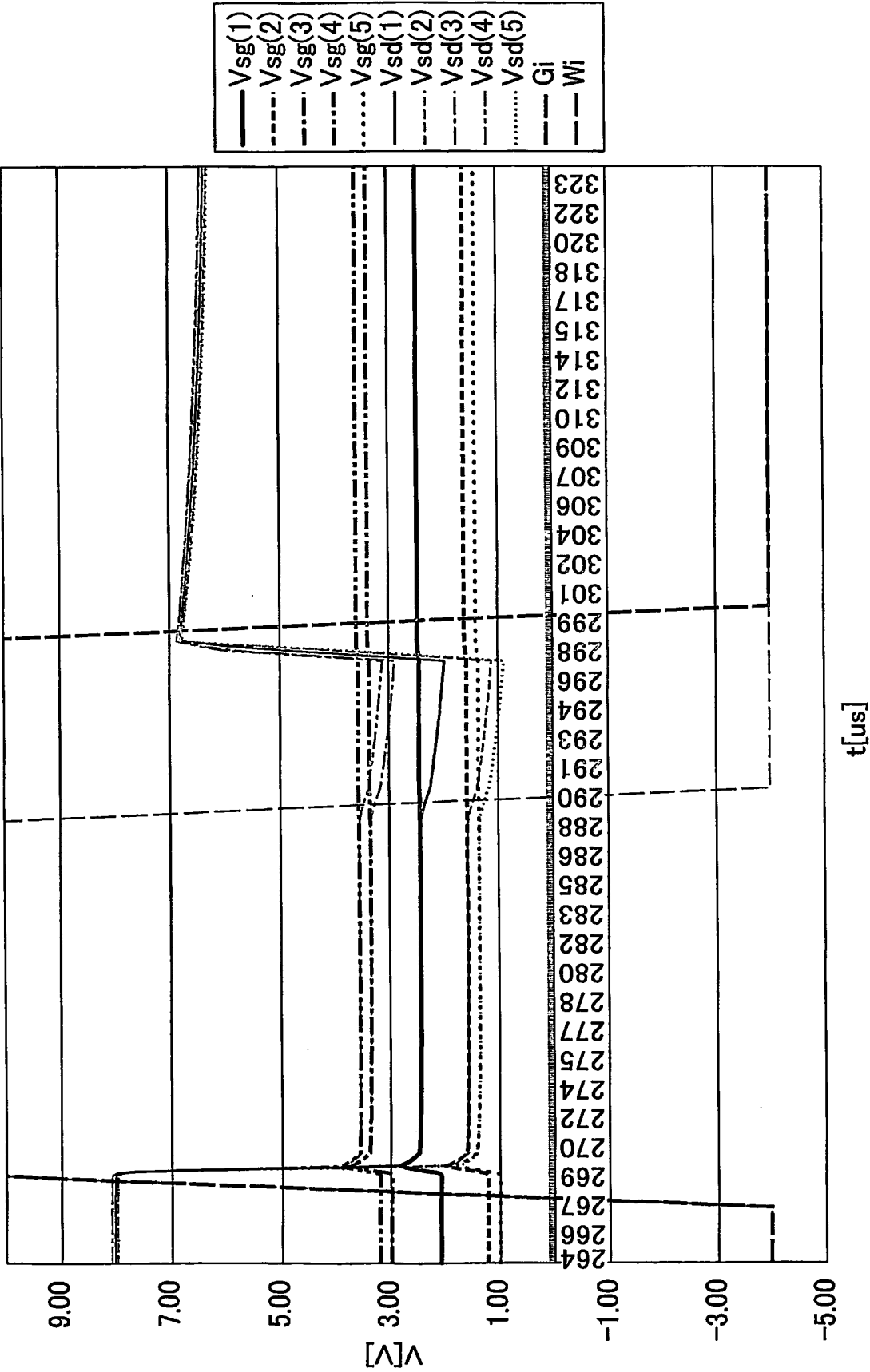
26 / 45

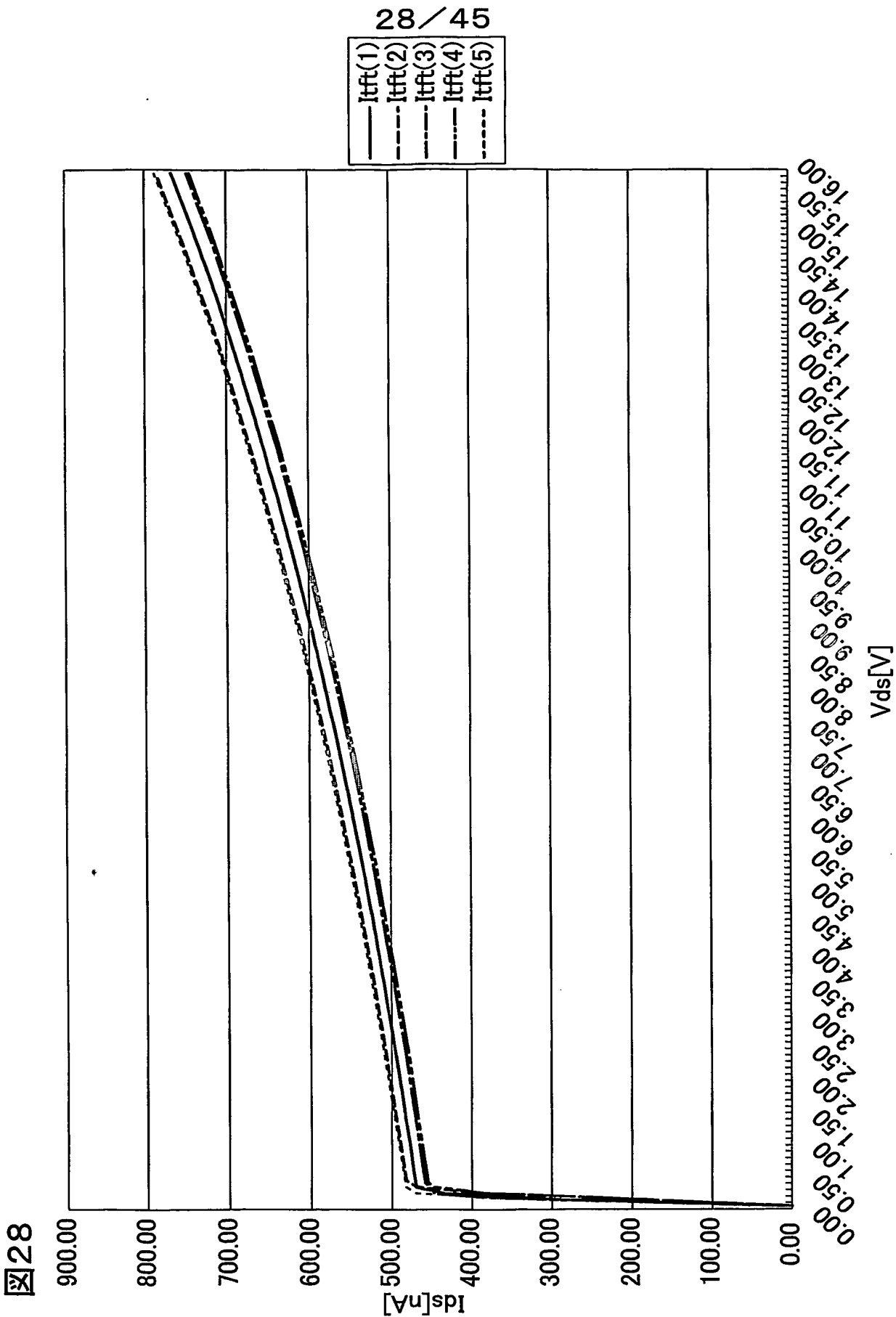
図 26



27 / 45

図 27





29/45

図29

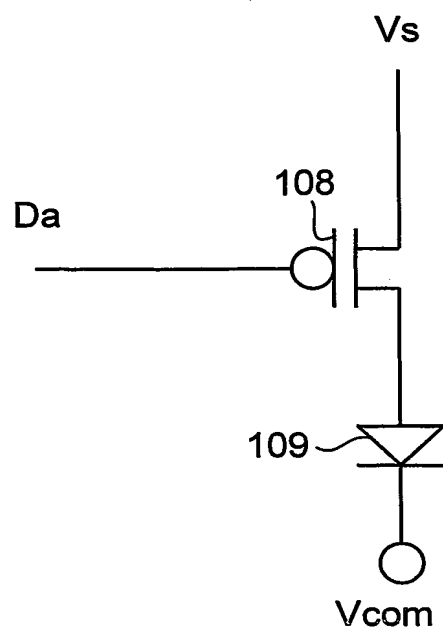
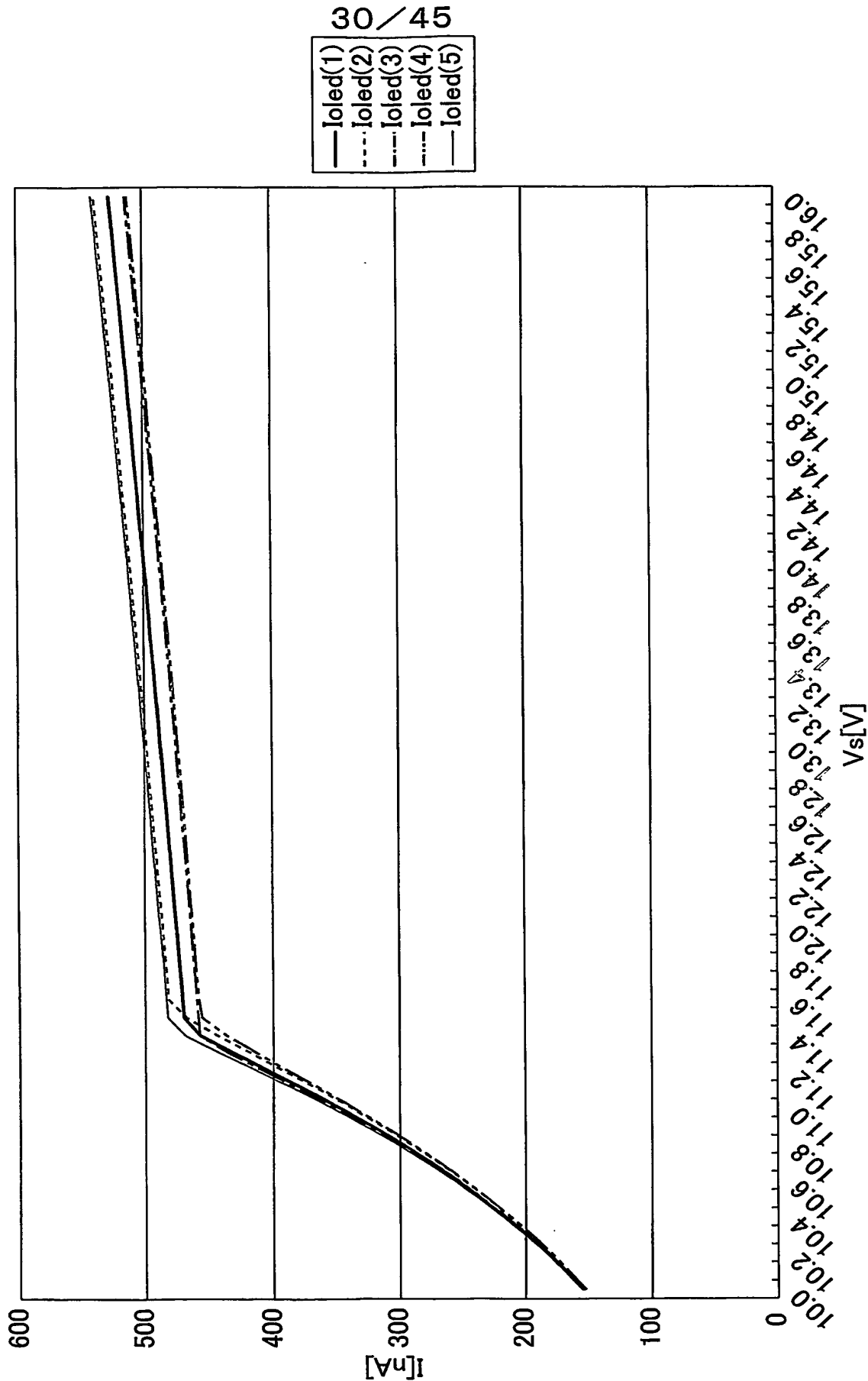


図30



31/45

図31

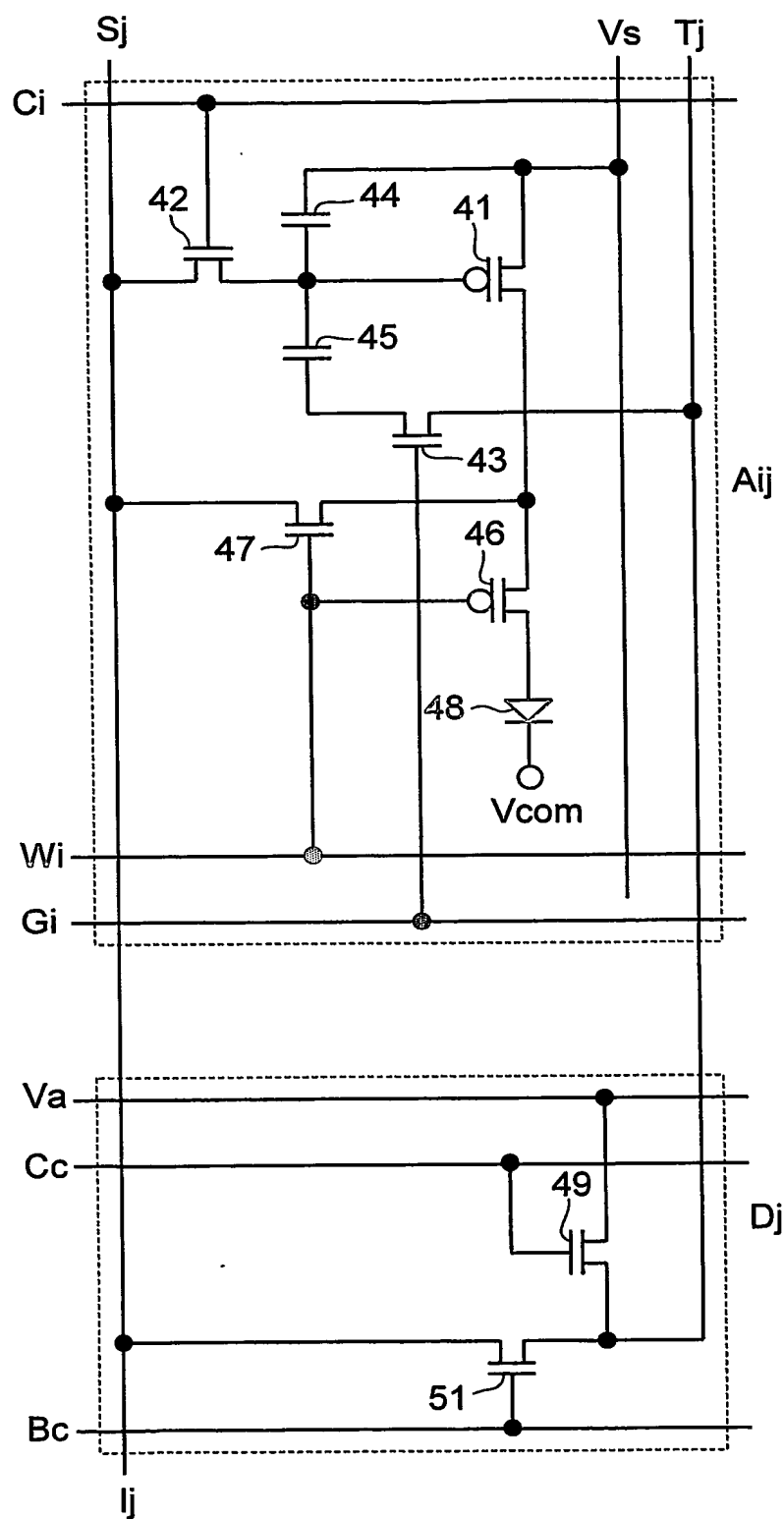
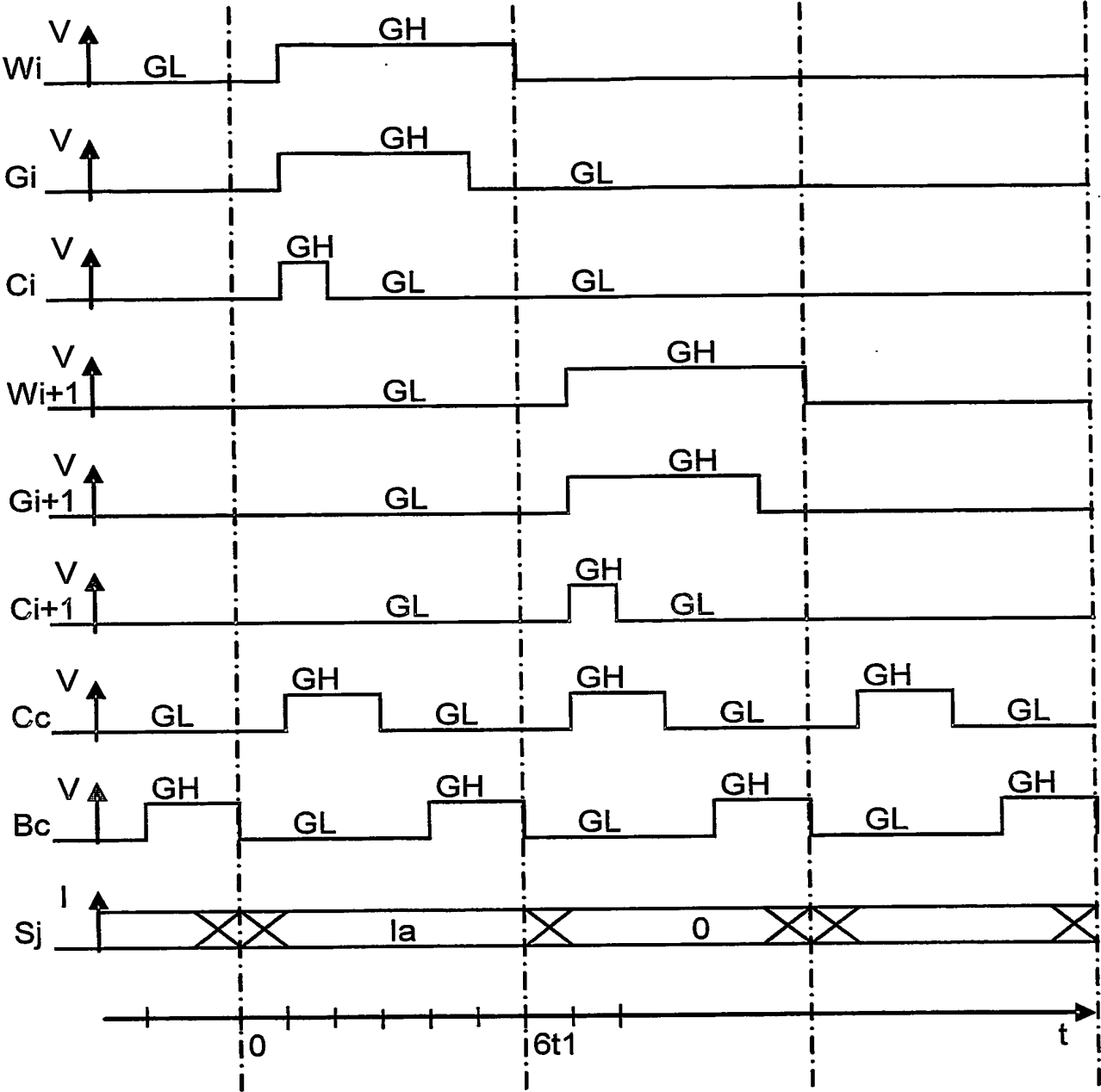


図32



33 / 45

図 33

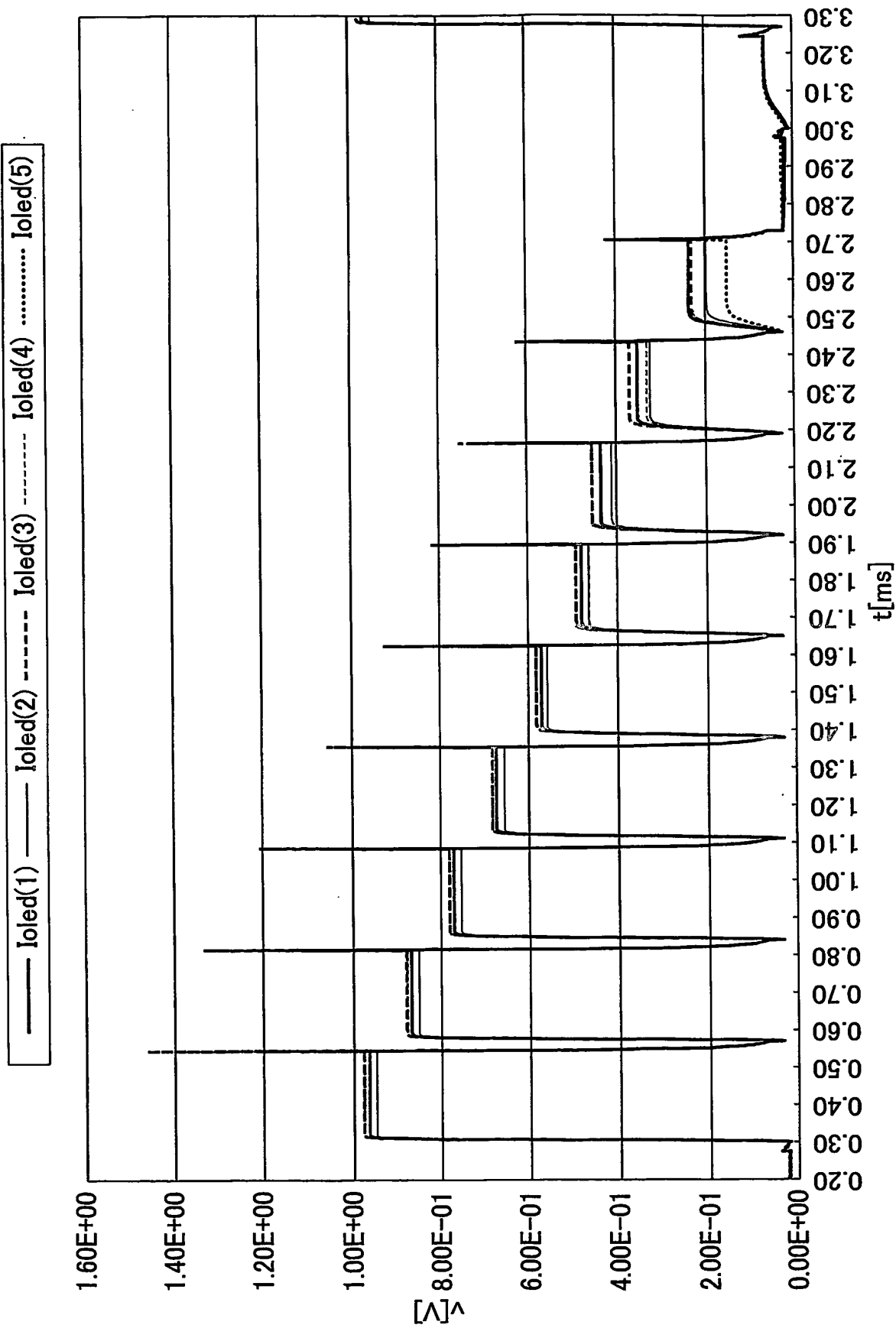
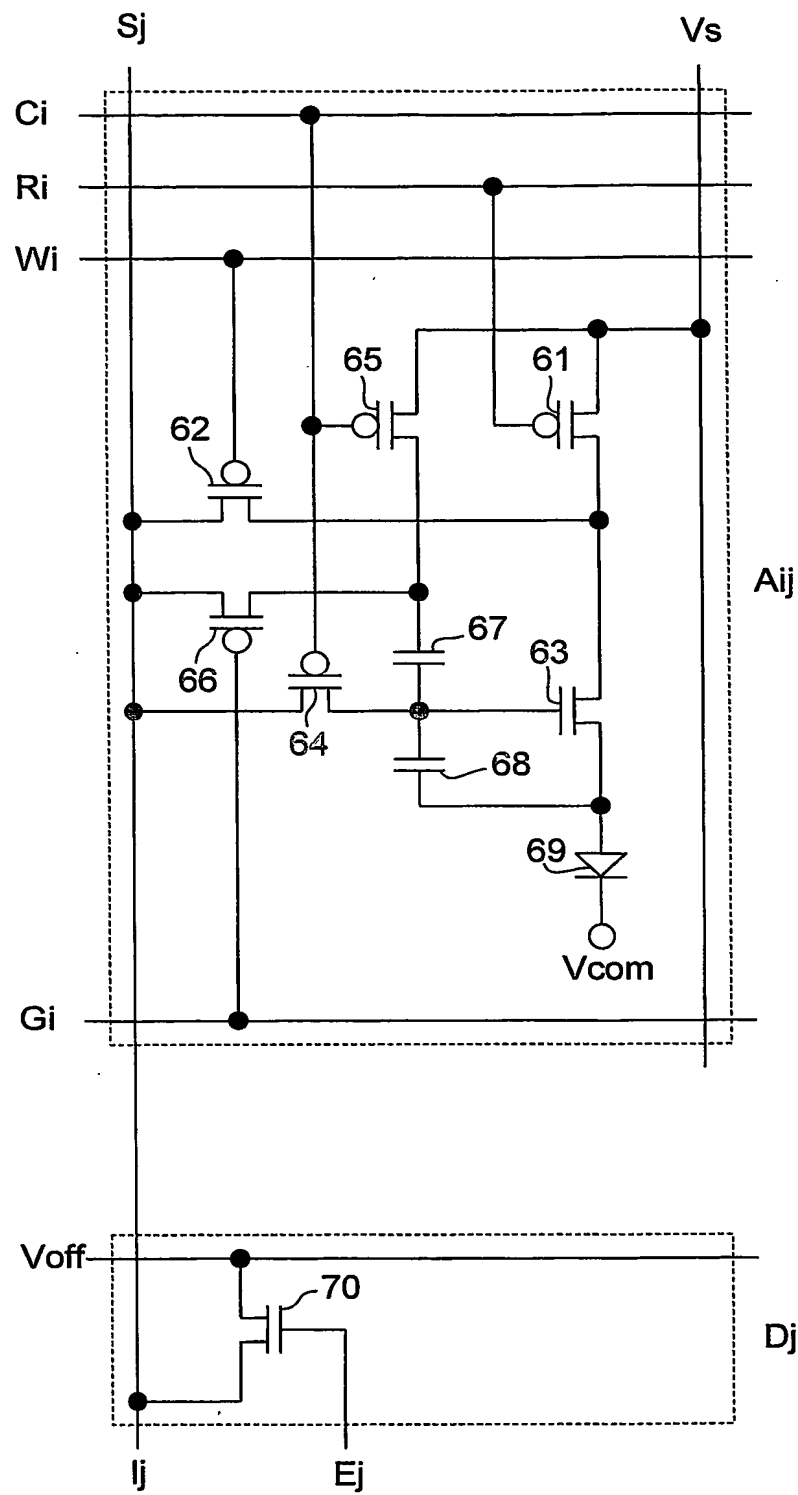
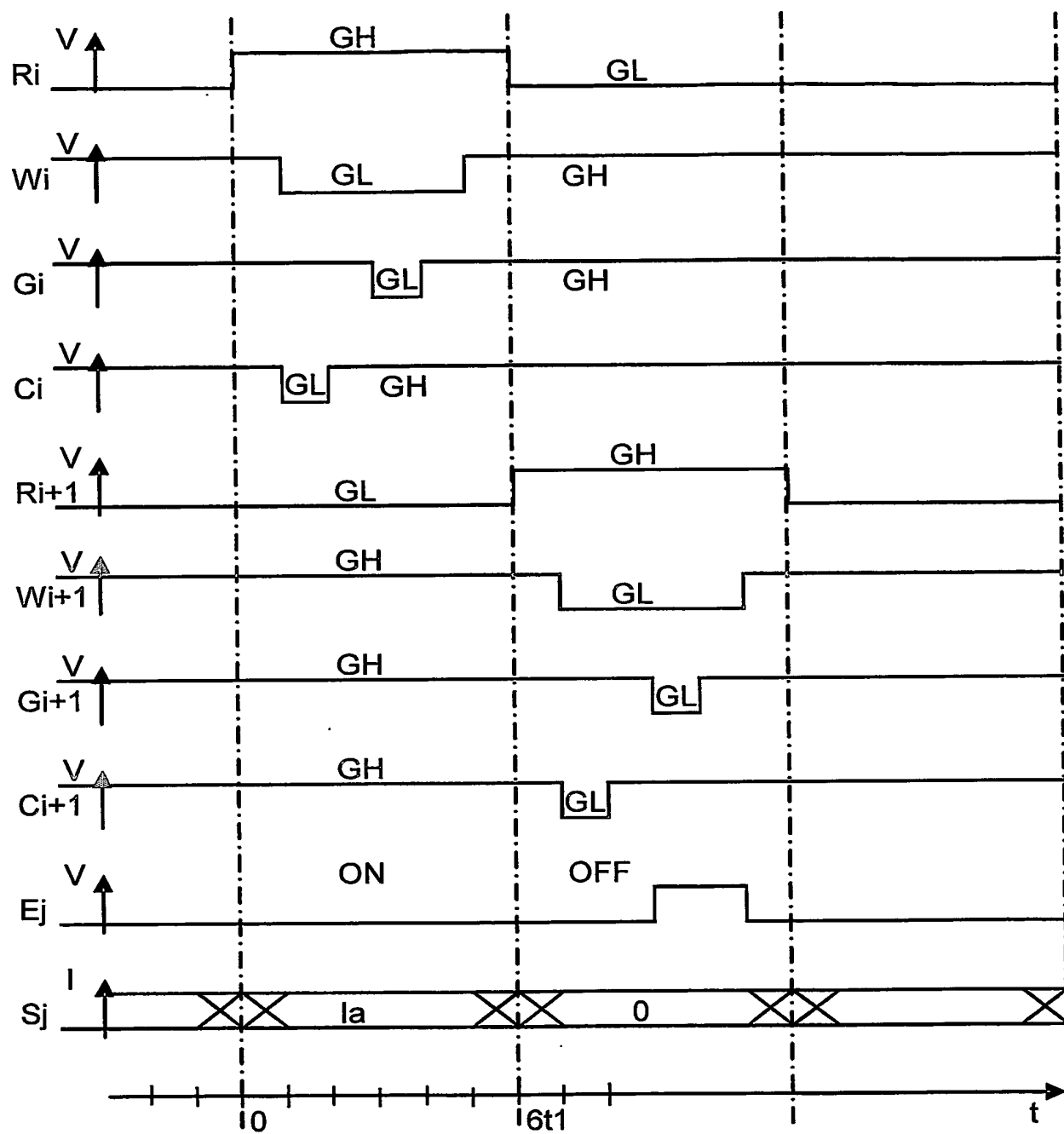


図34



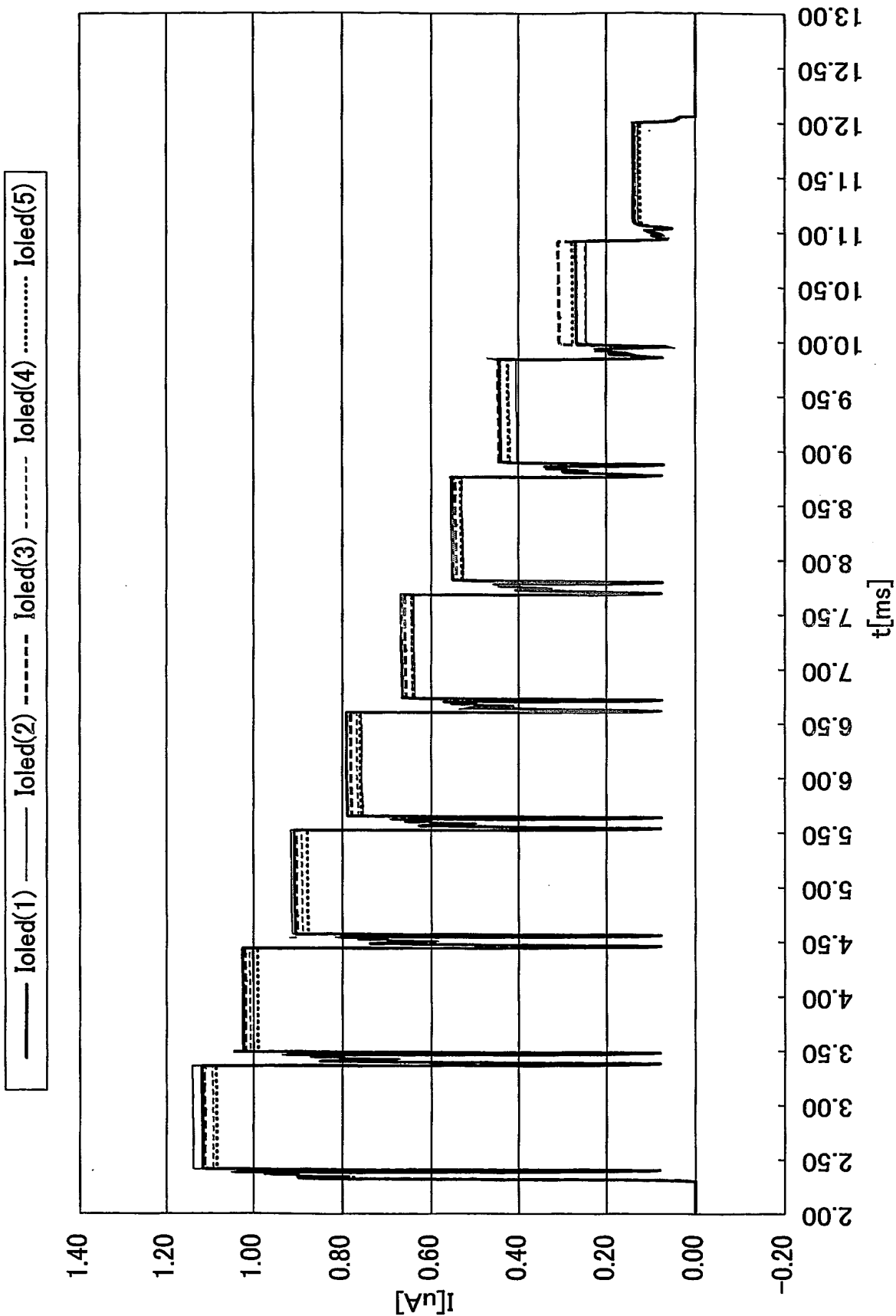
35/45

図35



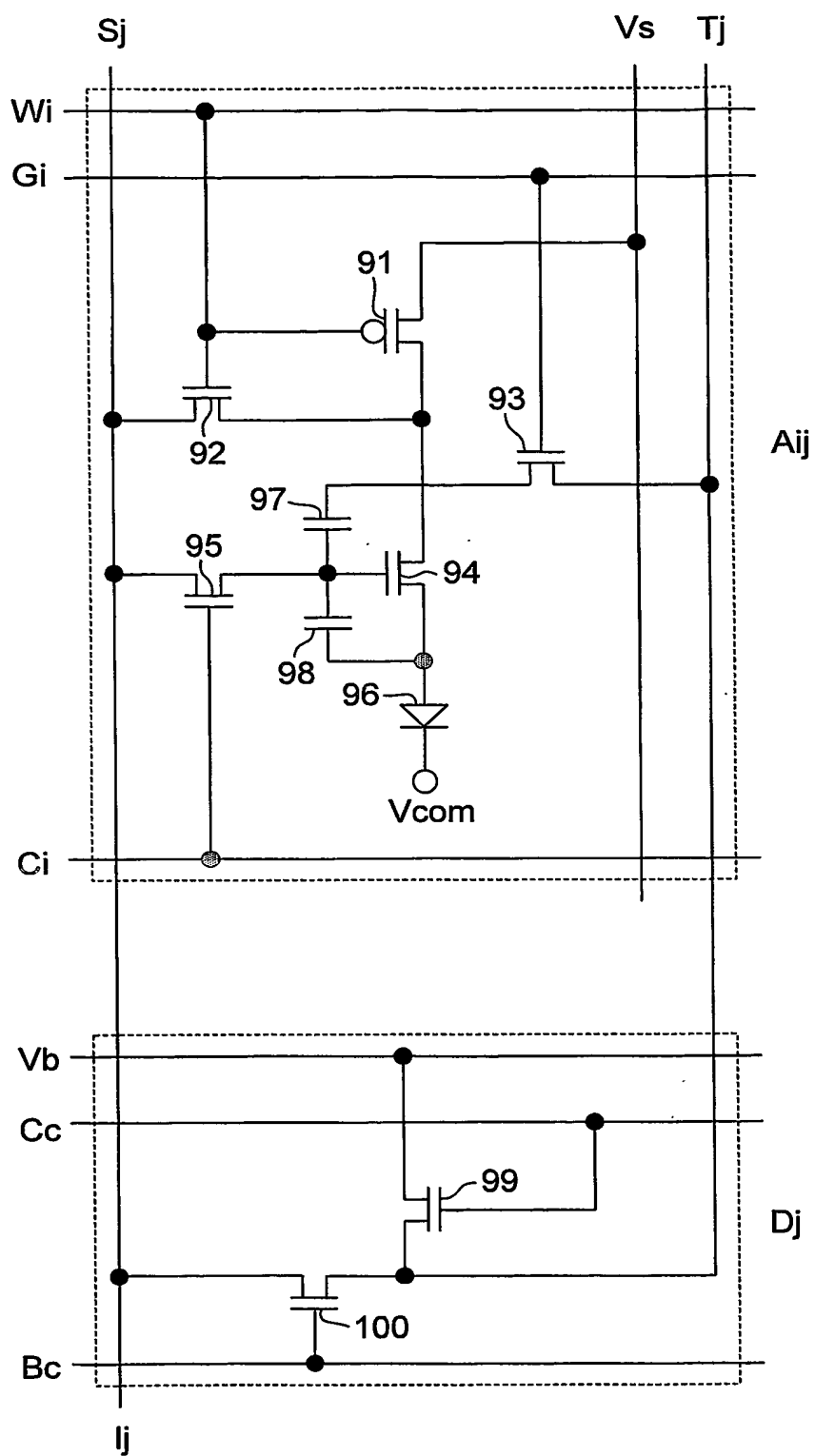
36 / 45

図36



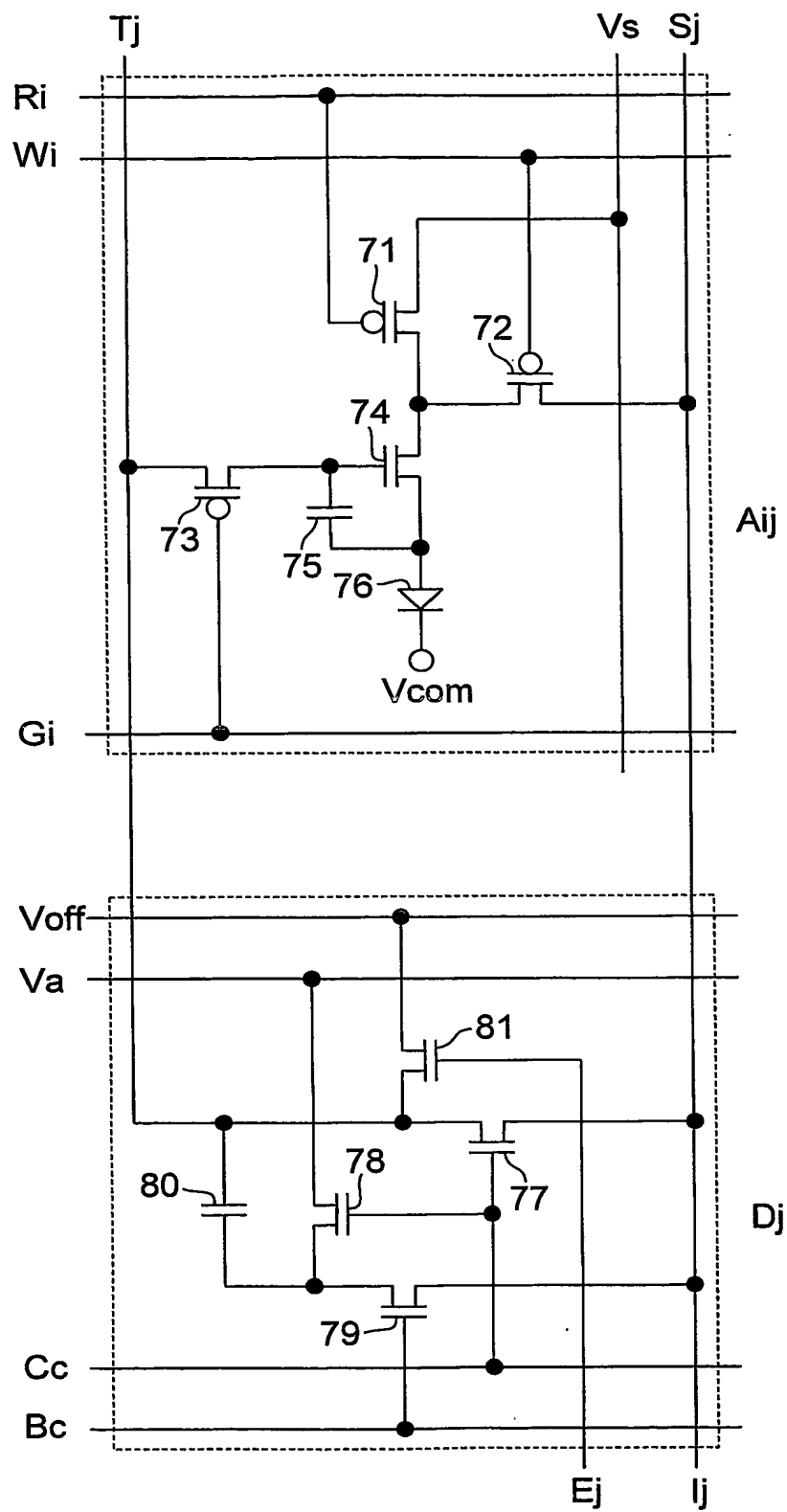
37/45

図37



38/45

図38



39/45

図39

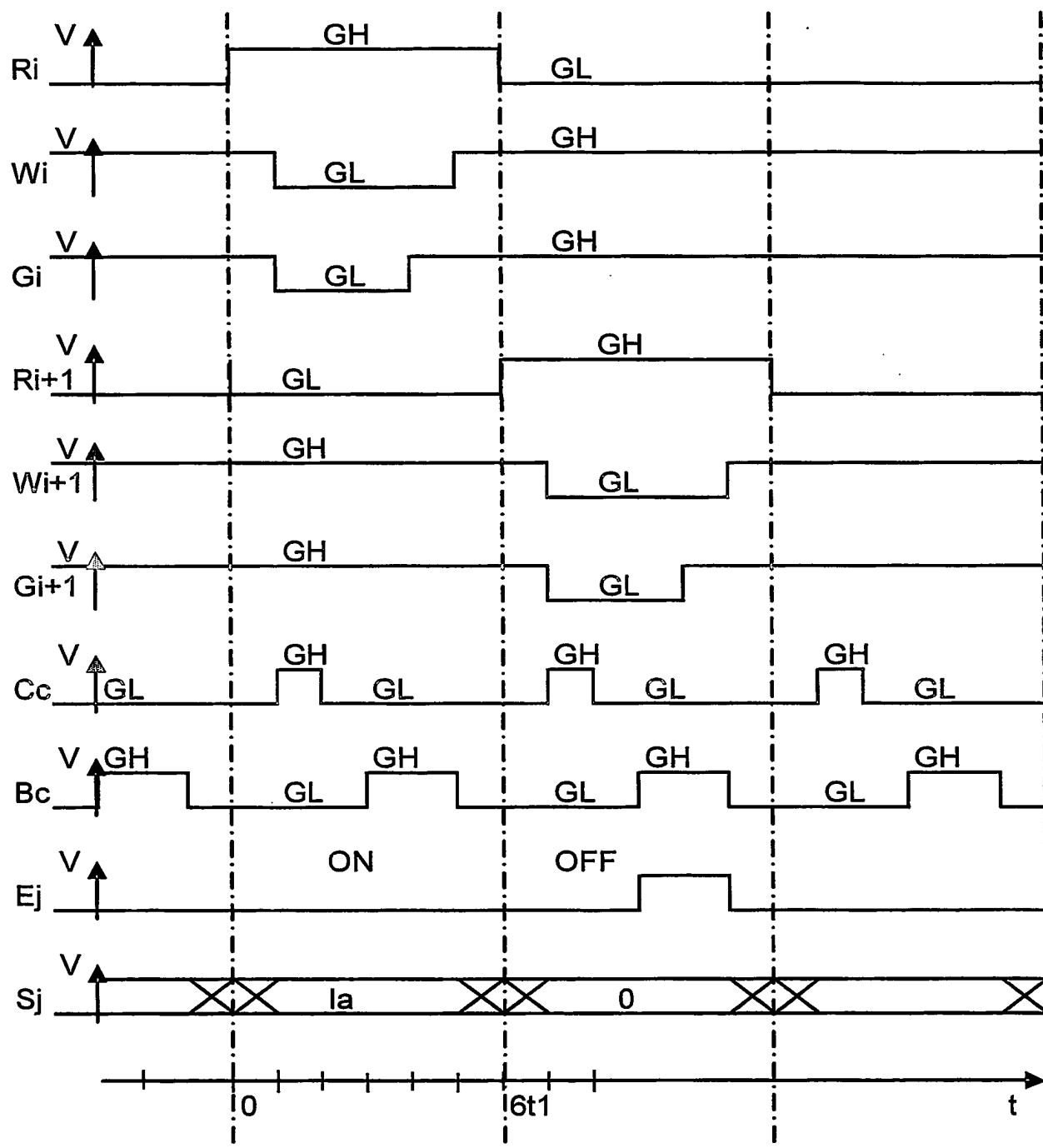
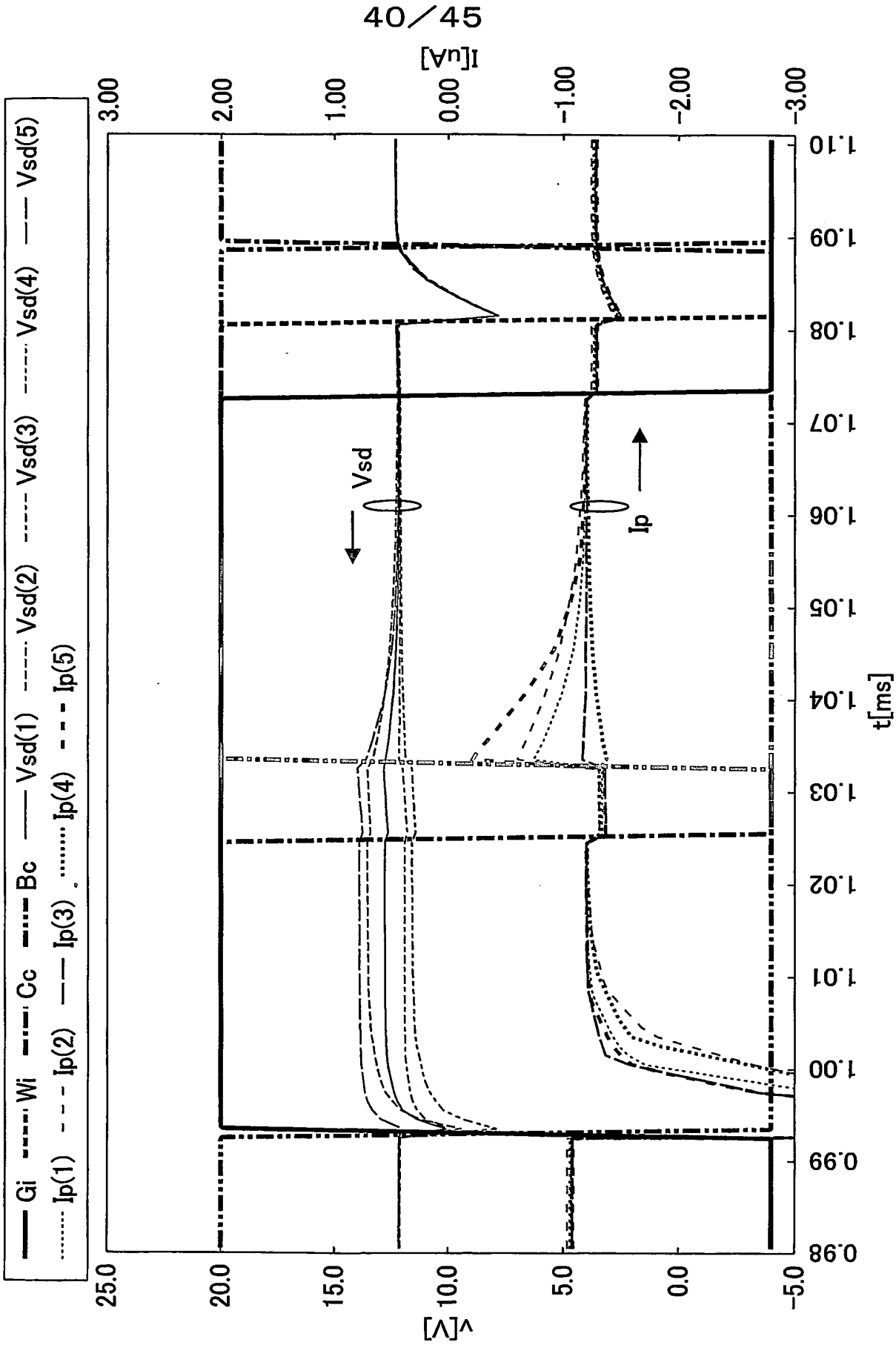


図40



41/45

図41

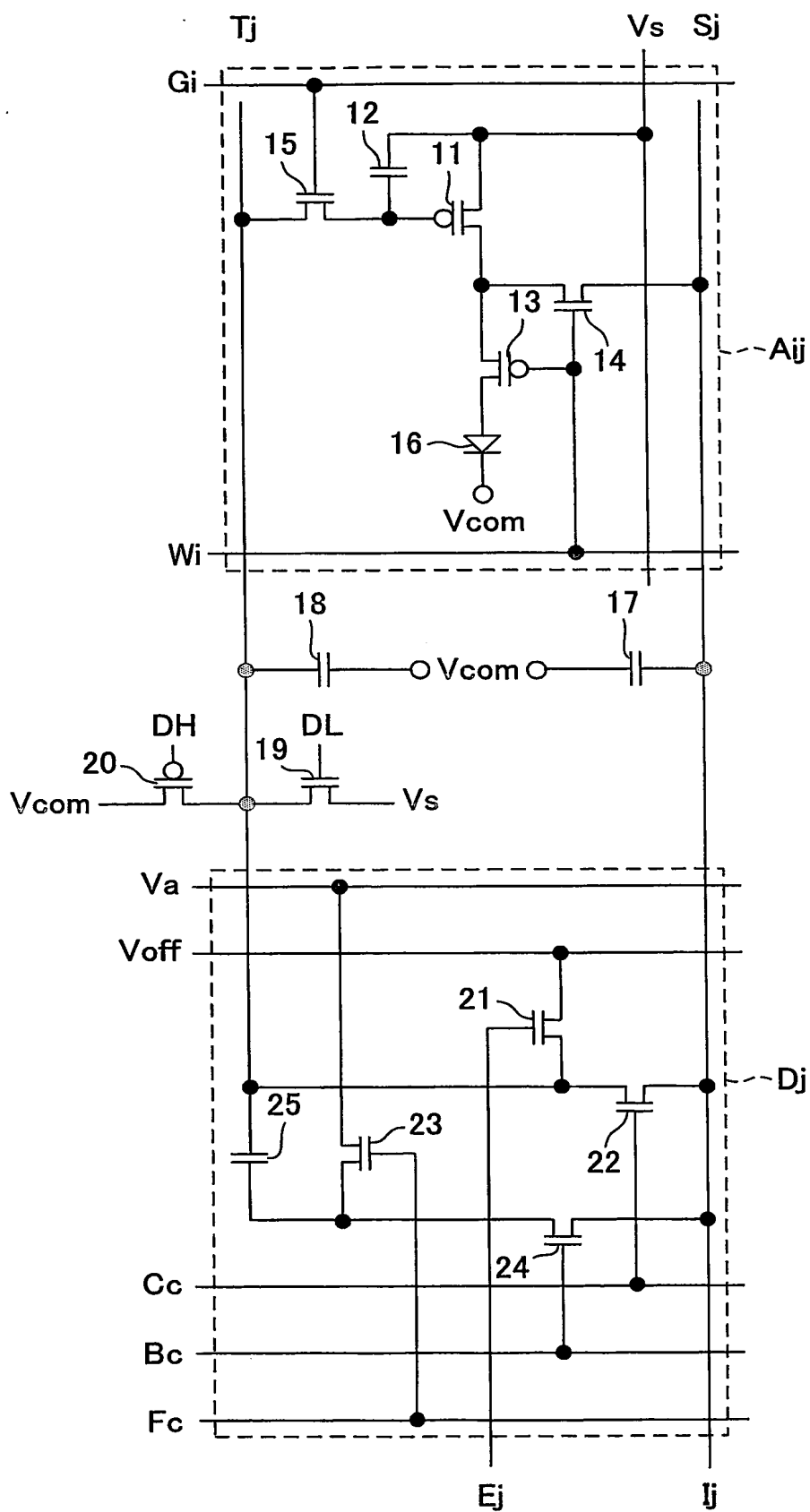


図42

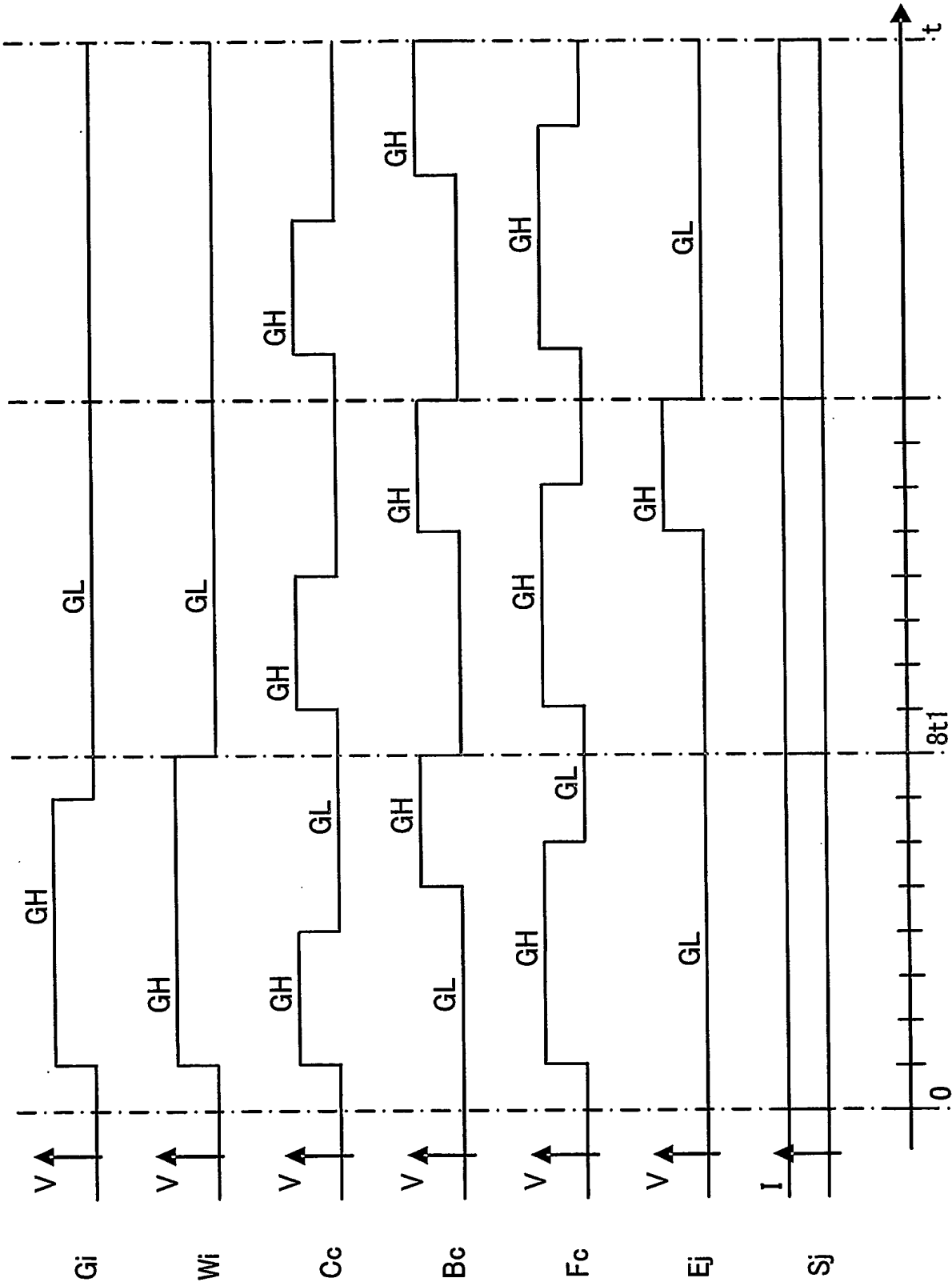
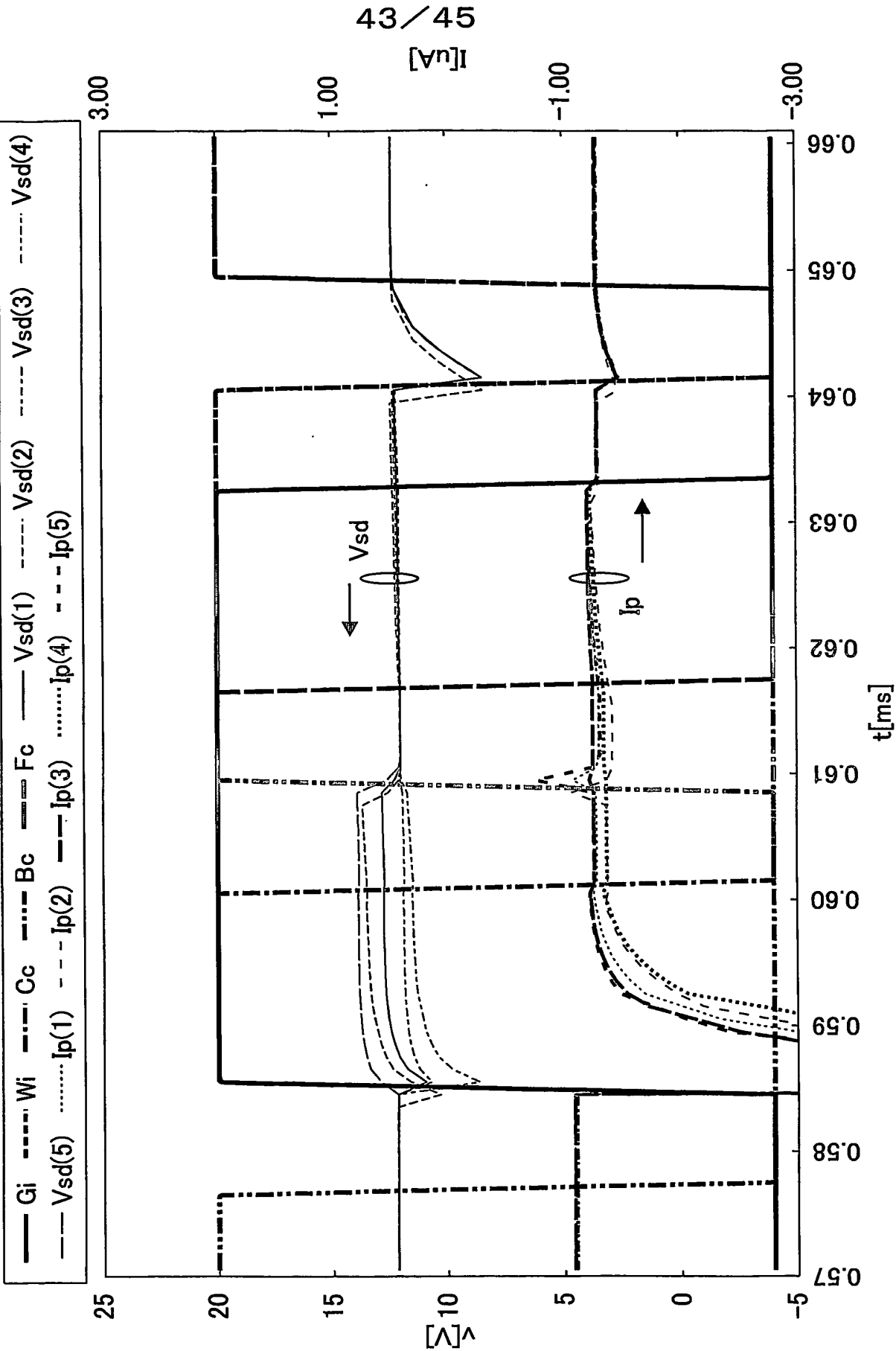


図43



44/45

図44

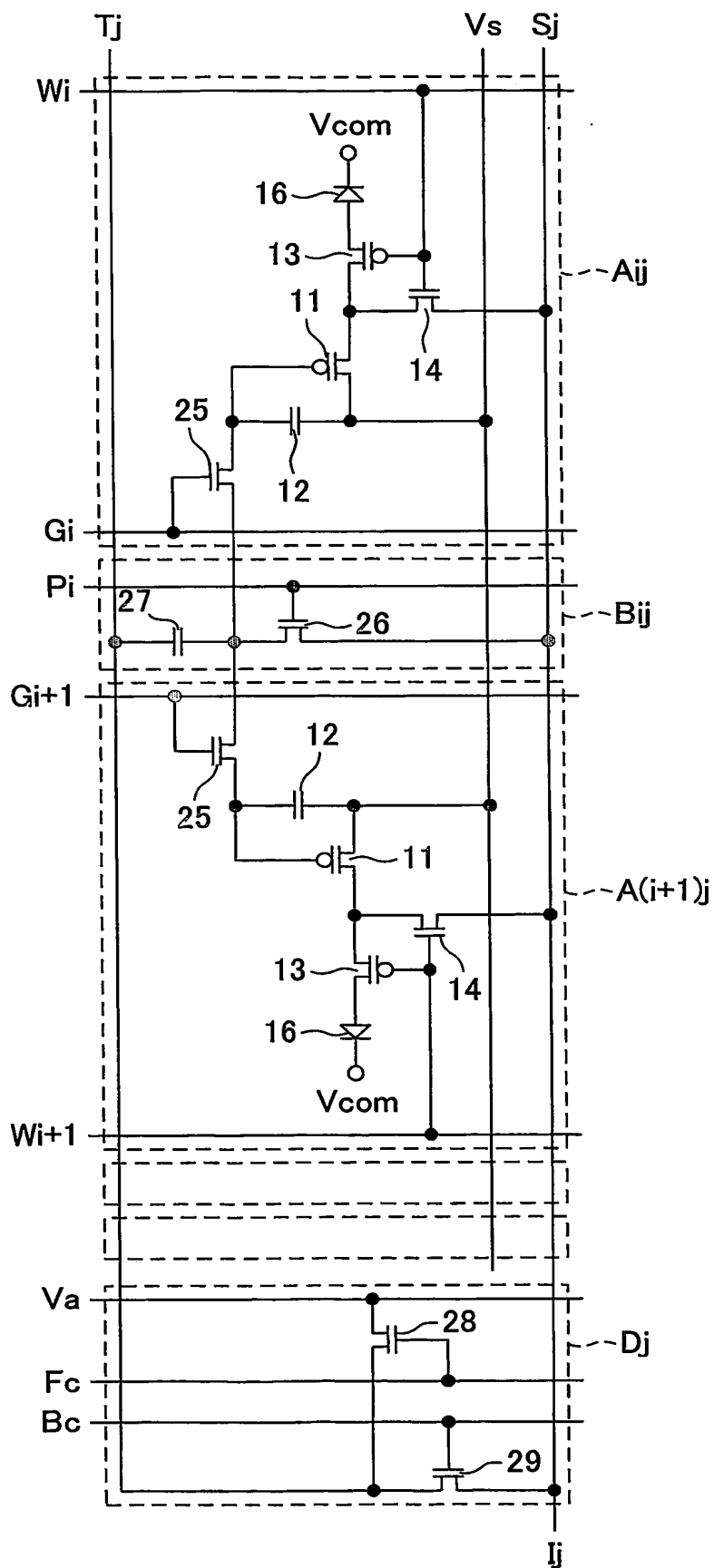
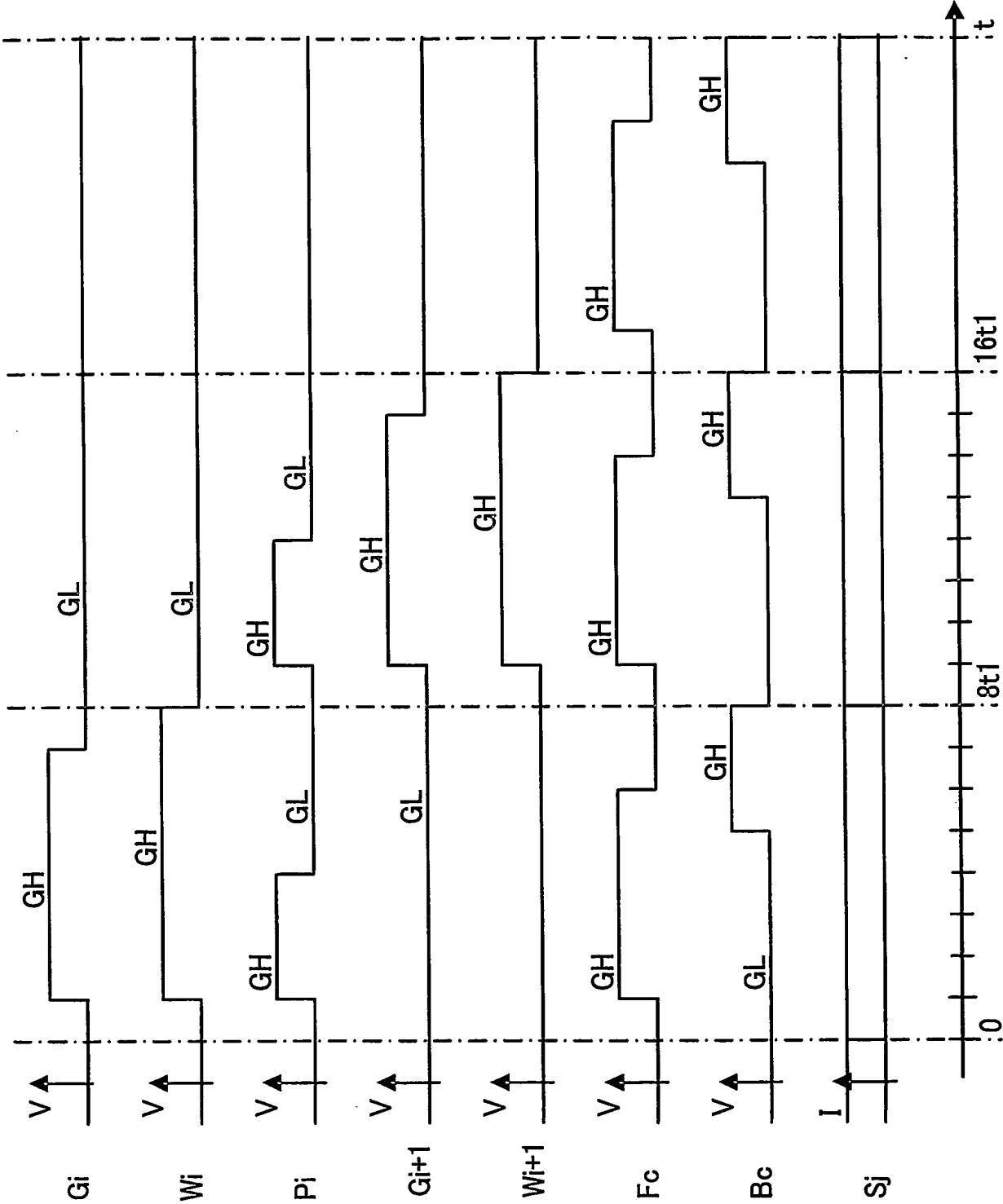


図45



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/14042

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ G09G3/30, G09G3/28, G09G3/20, H05B33/14										
According to International Patent Classification (IPC) or to both national classification and IPC										
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ G09G3/30, G09G3/28, G09G3/20, H05B33/14										
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <table border="0"> <tr> <td>Jitsuyo Shinan Koho</td> <td>1926-1996</td> <td>Toroku Jitsuyo Shinan Koho</td> <td>1994-2004</td> </tr> <tr> <td>Kokai Jitsuyo Shinan Koho</td> <td>1971-2004</td> <td>Jitsuyo Shinan Toroku Koho</td> <td>1996-2004</td> </tr> </table>			Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2004	Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004
Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2004							
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004							
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)										
C. DOCUMENTS CONSIDERED TO BE RELEVANT										
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.								
Y A	JP 2002-351401 A (Mitsubishi Electric Corp.), 06 December, 2002 (06.12.02), Par. No. [0015]; Fig. 1 Par. Nos. [0015] to [0017]; Figs. 1 to 2 & KR 2003001530 A & WO 2002/075712 A1	1-5, 9 10-12								
Y	JP 2003-76327 A (NEC Corp.), 14 March, 2003 (14.03.03), Par. Nos. [0023] to [0036]; Figs. 1 to 2 & KR 2003021149 A & EP 1291839 A2 & US 2003/043131 A1	1-9								
Y	WO 1998/048403 A1 (Sarnoff Corp.), 29 October, 1998 (29.10.98), Figs. 3 to 4 & EP 978114 A1 & US 6229506 B1 & JP 2002-514320 A	1-5								
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.										
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family								
Date of the actual completion of the international search 02 February, 2004 (02.02.04)		Date of mailing of the international search report 17 February, 2004 (17.02.04)								
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer								
Facsimile No.		Telephone No.								

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/14042

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-319908 A (Sarnoff Corp.), 04 December, 1998 (04.12.98), Par. Nos. [0037] to [0052]; Figs. 4 to 7 & KR 98081367 A & US 5952789 A	6-9
Y	JP 2003-58108 A (Sony Corp.), 28 February, 2003 (28.02.03), Par. Nos. [0042] to [0051]; Figs. 6 to 8 (Family: none)	6-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G09G3/30, G09G3/28, G09G3/20, H05B33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G09G3/30, G09G3/28, G09G3/20, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2002-351401 A (三菱電機株式会社) 2002.12.06 段落番号【0015】, 図1 段落番号【0015】-【0017】, 図1-2 &KR 2003001530 A &WO 2002/075712 A1	1-5, 9 10-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

02.02.2004

国際調査報告の発送日

17.2.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

橋本 直明

2G

9707

電話番号 03-3581-1101 内線 3225

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-76327 A (日本電気株式会社) 2003.03.14 段落番号【0023】-【0036】, 図1-2 &KR 2003021149 A &EP 1291839 A2 &US 2003/043131 A1	1-9
Y	WO 1998/048403 A1 (SARNOFF CORP ORATION), 1998.10.29, FIG3-4 &EP 978114 A1 &US 6229506 B1 &JP 2002-514320 A	1-5
Y	JP 10-319908 A (サーノフコーポレーション) 1998.12.04 段落番号【0037】-【0052】, 図4-7 &KR 98081367 A &US 5952789 A	6-9
Y	JP 2003-58108 A (ソニー株式会社) 2003.02.28 段落番号【0042】-【0051】, 図6-8 (ファミリーなし)	6-9